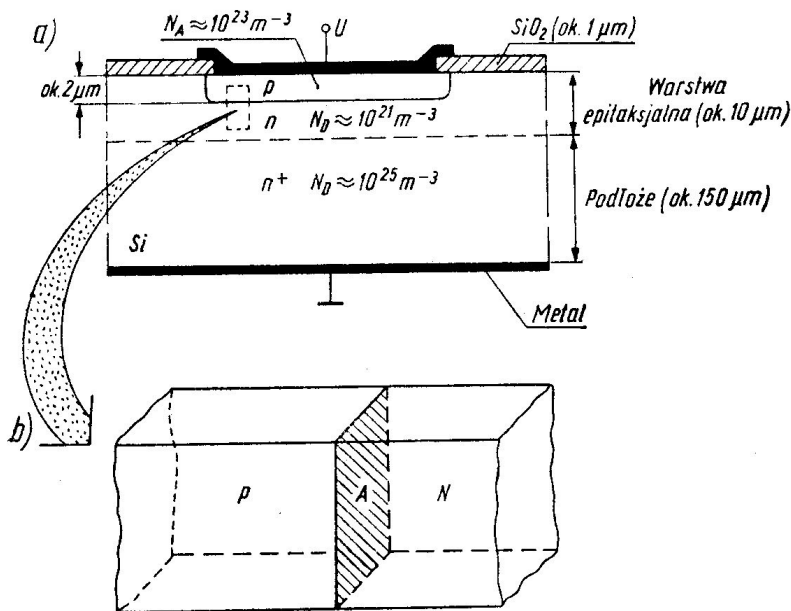


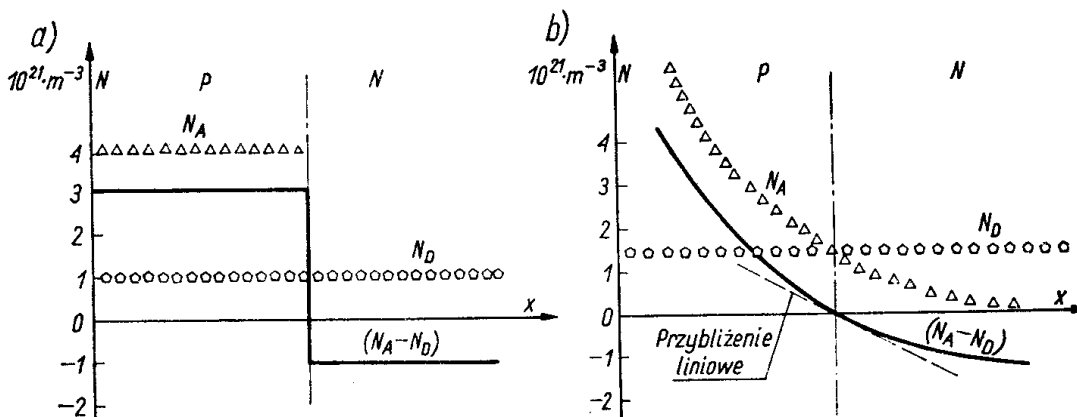
TECHNOLOGIA WYKONANIA PRZYRZĄDÓW PÓLPRZEWODNIKOWYCH

1. Technologia wykonania złącza p-n

W rzeczywistych złączach p-n przejście obszaru P w obszar N może być mniej lub bardziej raptowne (zależnie od technologii). Do analizy teoretycznej przyjmuje się dwa wyidealizowane modele rozkładu koncentracji domieszek: **złącze skokowe** (przejście z P do N raptowne – metoda stopowa, epitaksja, płytkie złącze dyfuzyjne). **Złącze liniowe** (przejście z P do N łagodne – głębokie złącza dyfuzyjne).



Rys. 3.2. Schematyczny przekrój struktury fizycznej rzeczywistego złącza p-n (wykonanego technologią epiplanarną) (a) i jej wyidealizowany model jednowymiarowy (b)

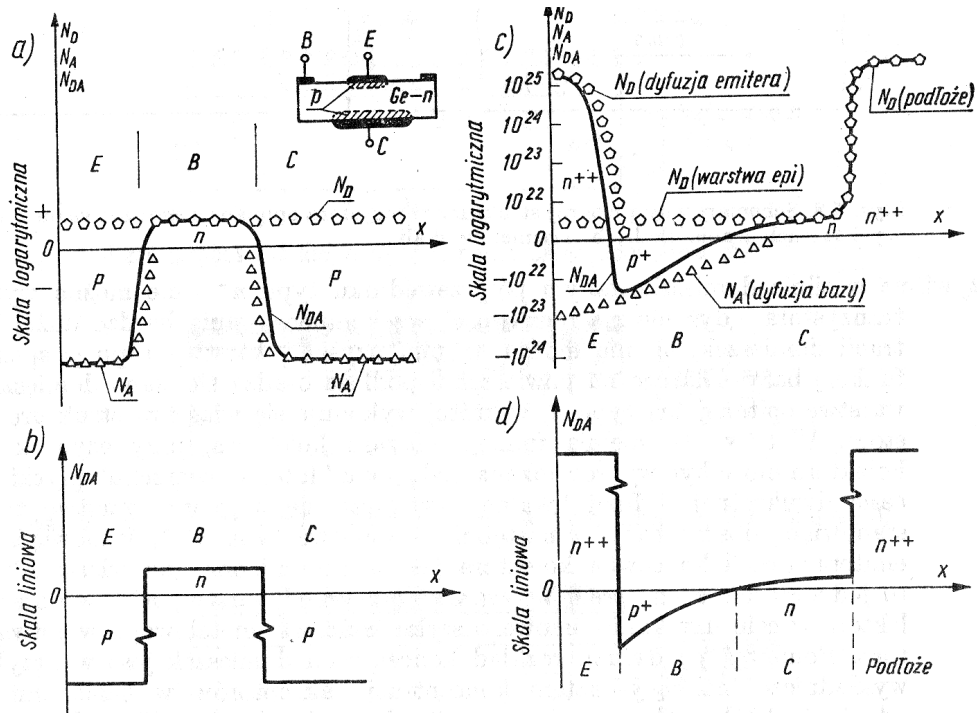


Rys. 3.7. Rozkład koncentracji domieszek w złączu skokowym (a) i liniowym (b)

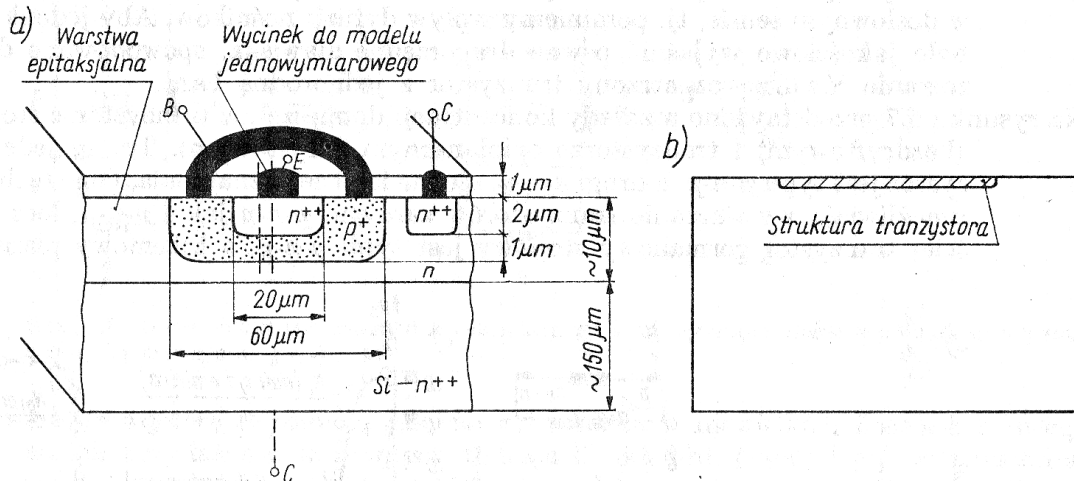
2. Technologia wykonania tranzystora bipolarnego epiplanarnego:

TB: ostrzowe, wyciągane, stopowe, mesa (stopowo-dyfuzyjne), planarne, epiplanarne; tr. z jednorodną bazą (bezdryftowe, dyfuzyjne), tr. z niejednorodną bazą (dryftowe).

Tranzystor epiplanarny jest to tranzystor n-p-n (n^{++} , p^+ , $n-n^{++}$). **Podłoże** n^{++} - bardzo silnie domieszkowana płytka krzemu o grubości $150 \mu\text{m}$ = nośnik mechaniczny o jak najmniejszej rezystywności. Na powierzchni podłoża osadza się **słabo domieszkowaną warstwę** epitaksjalną n, w której wykonuje się obszary emitera i kolektora.

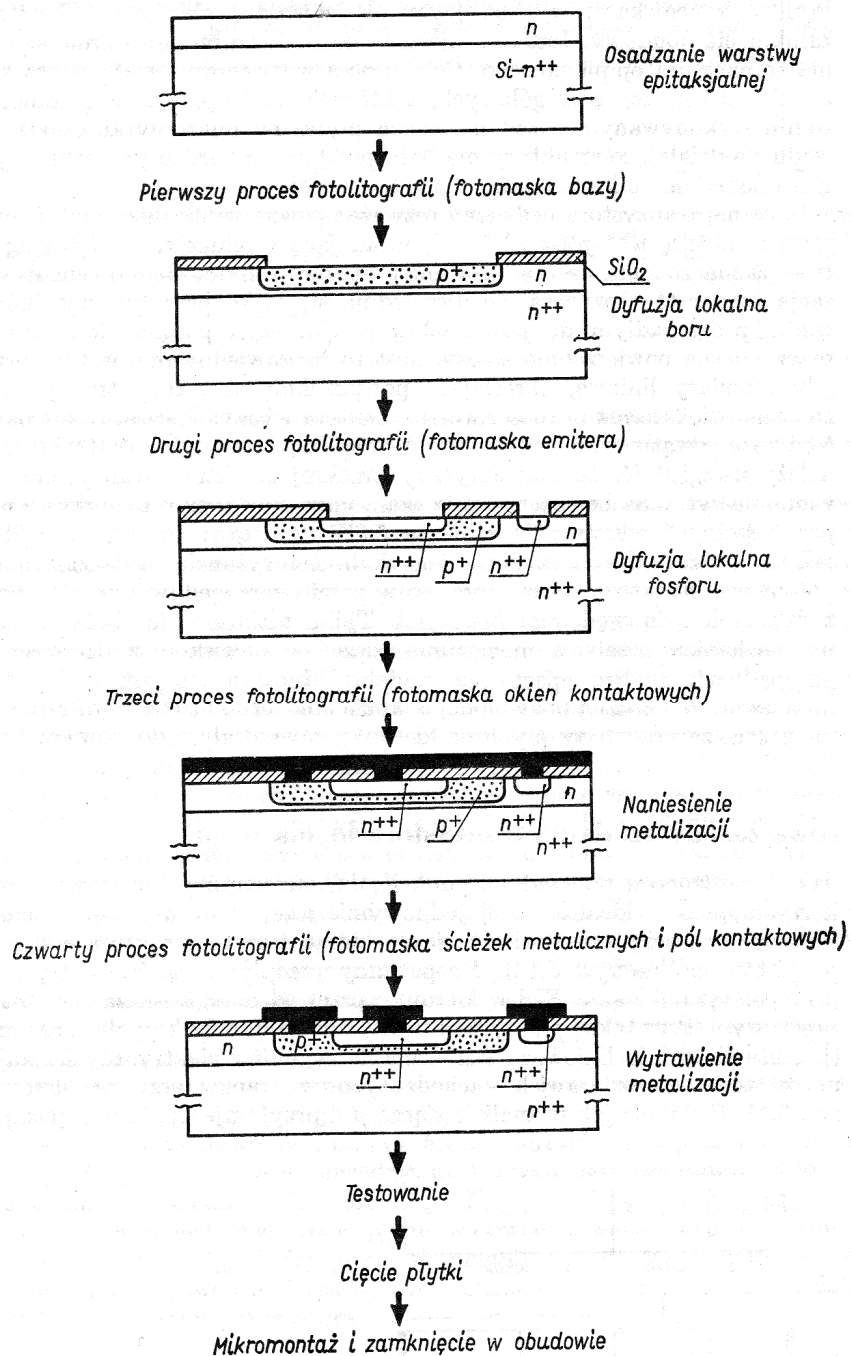


Rys. 5.7. Rozkłady koncentracji domieszek w tranzystorze stopowym (a, b) i epiplanarnym (c, d) w skali logarytmicznej (a, c) i liniowej (b, d)



Rys. 5.8. Schematyczny przekrój struktury tranzystora epiplanarnego: a) rysunek szczegółowy bez zachowania skali; b) rysunek w skali

W procesie **dwukrotnej dyfuzji** lokalnej wytwarza się najpierw warstwę p^+ (obszar bazy), a następnie warstwę typu n^{++} (obszar emitera i kolektora). Po dyfuzji rozkład koncentracji domieszek jest prawie wykładniczo malejący; koncentracja akceptorów w bazie zmienia się od $5 \cdot 10^{23} \text{ m}^{-3}$ na granicy B-E do ok. $5 \cdot 10^{20} \text{ m}^{-3}$ na granicy B-C. następnie naporowuje się metal (Al) na całą powierzchnię płytki, po czym wytrawia się go tak, by powstały ścieżki metalizacji w obszarach kontaktów z emiterem, bazą i kolektorem (kilka tysięcy jednakowych tranzystorów).



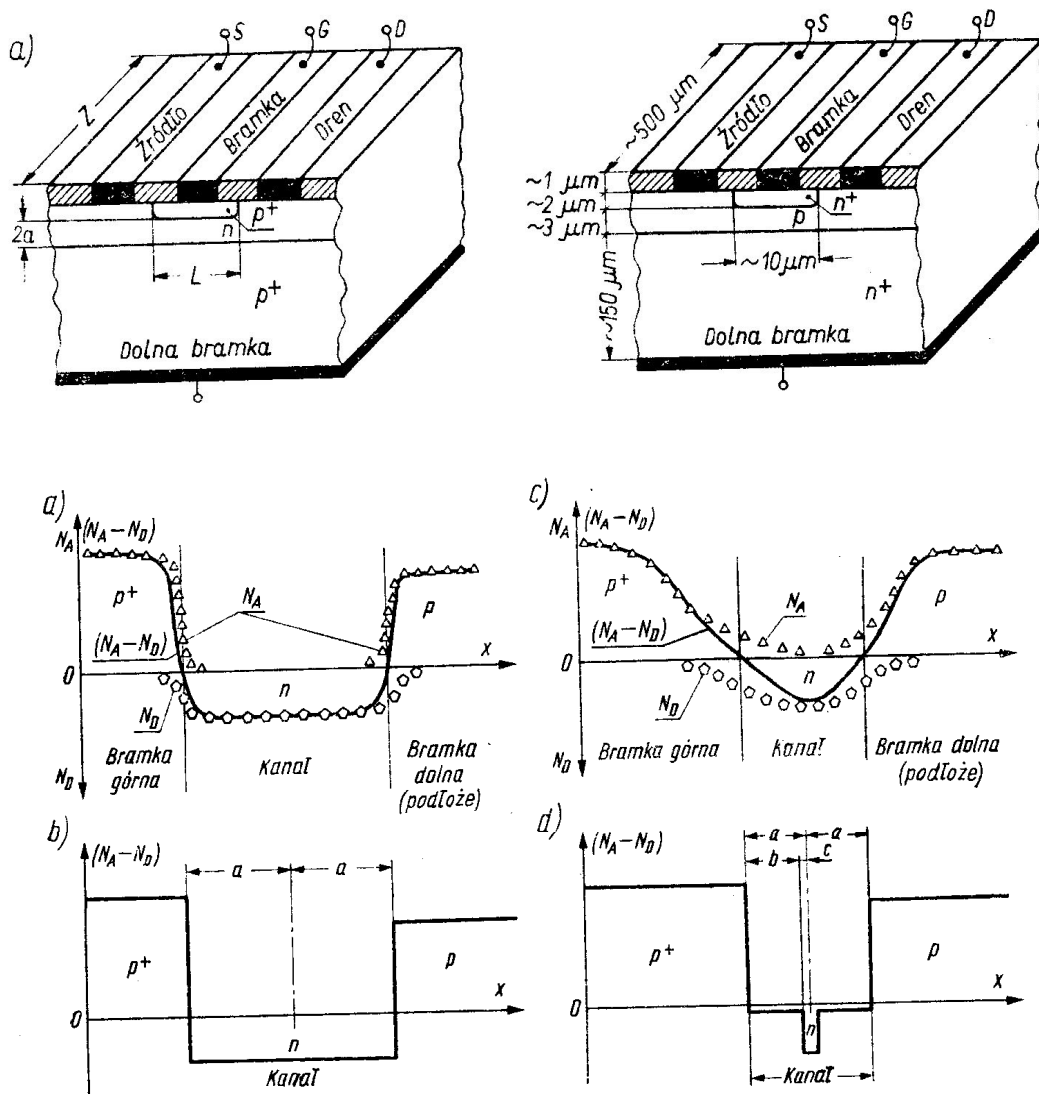
Rys. 5.9. Ważniejsze fazy procesu wytwarzania tranzystora epiplanarnego

Mikromontaż (po cięciu) – przylutowanie mikroplątki do podstawki odpowiedniej obudowy, wykonanie cienkim drutem (Au, 25 μm) połączeń pól kontaktowych z przepustami i hermetyczne zamknięcie obudowy.

3. Technologia wykonania tranzystora polowego:

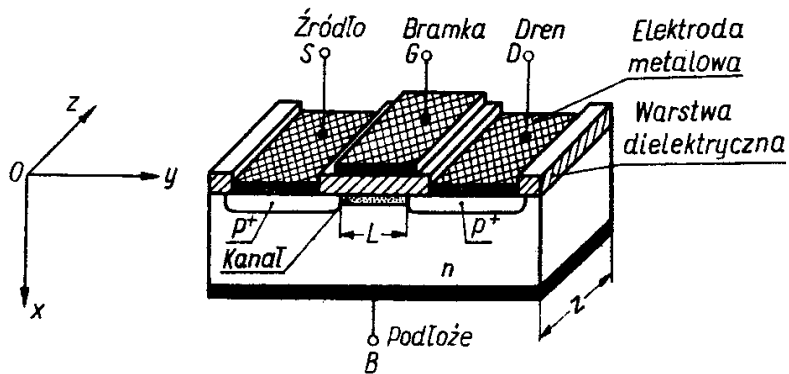
3.1. Tranzystor PNFET (JFET)

Tranzystory z kanałem typu n : na podłożu typu p^+ (dolna bramka) nanosi się warstwę epitaksjalną typu n (kanał), w której następnie metodą dyfuzji lokalnej wytwarza się warstwę p^+ (górną bramkę). Końcową operacją jest wykonanie kontaktów metalowych do warstw p^+ (elektrody górnej i dolnej bramki) oraz do kanału typu n (elektrody źródła i drenu).



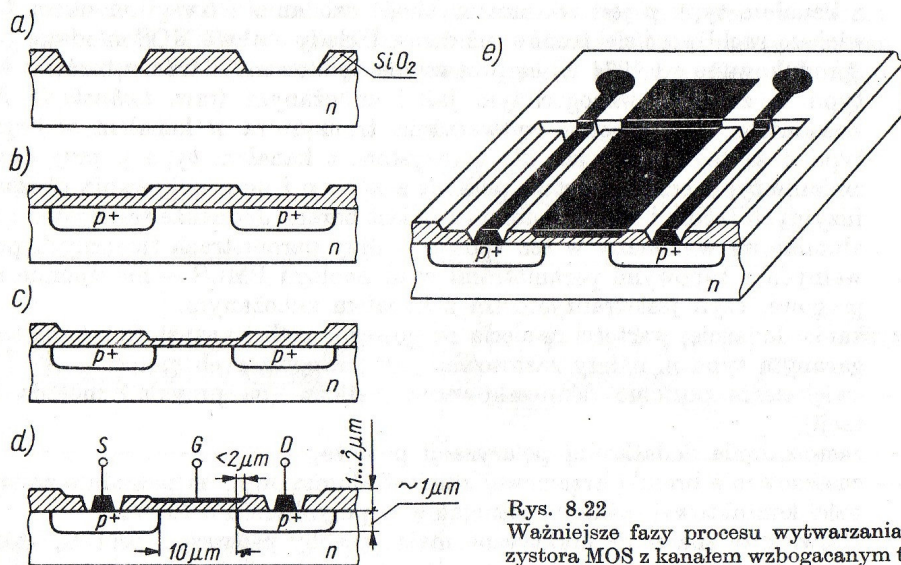
Rys. 6.13. Rozkłady koncentracji domieszek dla dwóch przypadków: a), b) duża grubość kanału (rozkład równomierny); c), d) mała grubość kanału (rozkład szpilkowy)

3.2. Budowa tranzystora MIS (IGFET) – opis jakościowy



Rys. 6.22. Schematyczna ilustracja budowy tranzystora MIS z kanałem typu p

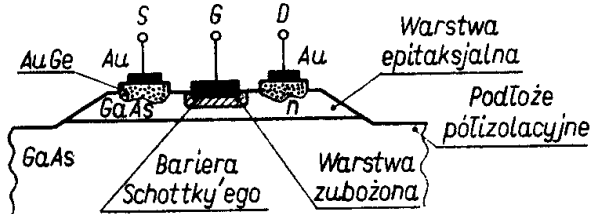
W płytce monokrystalicznej krzemu typu n o rezystywności 0.01...0.1 Ωm wytwarza się poprzez dyfuzję lub implantację lokalną dwa obszary silnie domieszkowane o typie p^+ z koncentracją domieszek 10^{24} - 10^{26} m^{-3} . Jeden – źródło, drugi – dren – oba pokryte metalowymi warstwami kontaktowymi, odległe są od siebie o kilka - kilkadziesiąt μm . Powierzchnia pp między źródłem i drenem pokryta jest warstwą dielektryka (SiO_2 , $d=50$ - 150 nm). Elektroda na powierzchni dielektryka – bramka. Elektrody: S-źródło, G-bramka, D-dren, B-baza.



Rys. 8.22
Ważniejsze fazy procesu wytwarzania tranzystora MOS z kanałem wzbogacanym typu p

Na czystej pow. płytki krzemowej typu n (0,01-0,1 Ωm) wytwarza się warstwę SiO_2 , otwiera się okna i prowadzi dyfuzję boru do obszarów źródła i drenu. W drugim procesie utleniania obszary S i D pokryte zostają SiO_2 . Po drugim procesie fotolitografii, otwierającym okna w obszarze bramki, w trzecim procesie utleniania wytwarza się cienka warstw SiO_2 (50-150 nm). W trzecim procesie fotolitografii otwiera się okna nad obszarami p^+ , po czym metalizuje się całą powierzchnię. 4 proces fotolit. – wytrawienie warstwy metalicznej w obszarach poza źródłem, bramką i drenem. Dodatkowo stosuje się proces pasywacji całej struktury, po której 5 proces fotolit. otwiera okna do pól kontaktowych.

3.3. Tranzystory MESFET – z GaAs – elementy wzmacniające w zakresie kilku do kilkudziesięciu GHz (bardzo małe szумы 2...4 dB)

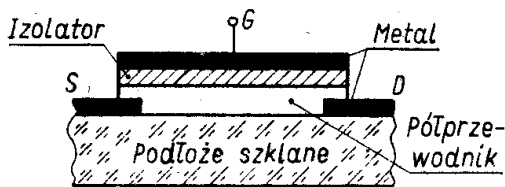


Rys. 6.37
Schematyczna ilustracja budowy tranzystora MESFET z arsenku galu

Na półizolacyjnym podłożu kładzie się warstwę epitaksjalną GaAs typu *n*. Po trawieniu (wydzielenie wysp GaAs typu *n*) na podłożu wykonuje się dwa kontakty omowe (Au-AuGe-GaAs) oraz bramkę Au. Styk bramki metalowej z GaAs ma właściwości złącza z barierą Schottky'ego – działa jak tranzystor PNFET.

Warstwa pp między bramką a podłożem pełni funkcję kanału, którego przekrój zależy od szerokości warstwy zubożonej złącza *m-s*. Przy polaryzacji złącza bramka-kanał w kierunku zaporowym obszar zubożony rozszerza się w głąb warstwy epitaksjalnej typu *n*, zmniejszając efektywny przekrój kanału. Zmiany napięcia bramki – zmiany rezystancji kanału, czyli zmiany prądu w obwodzie źródło-dren. Długość bramki 0.5-2 μm , ruchliwość elektronów w kanale 0.4 m^2/Vs , więc $f_{\text{max}} \sim 50$ GHz, duża moc rozpraszana: $P_a * f_{\text{max}} = 10..20$ WGHz.

3.4. Tranzystory cienkowarstwowe (TFT) (Weimer 1961)

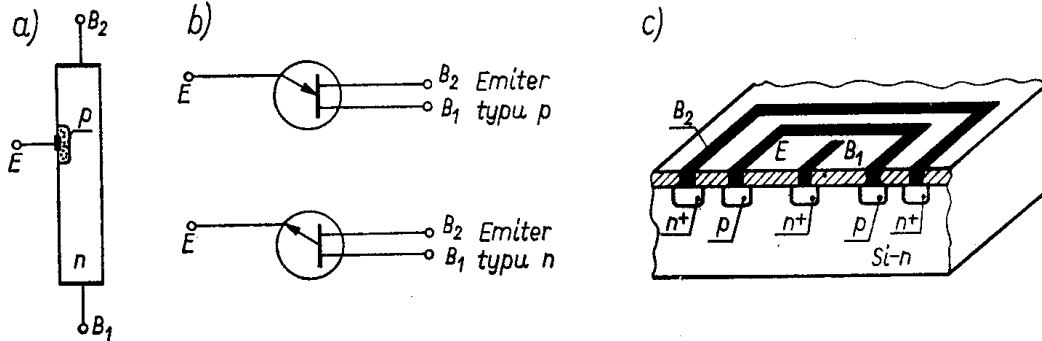


Rys. 6.38
Schematyczna ilustracja budowy tranzystora cienkowarstwowego

Na podłożu szklane naparowuje się w próżni cienką warstwę metalu (Al, Au). Po trawieniu lokalnym z zastosowaniem fotolitografii powstają elektrody źródła i drenu. Próżniowo nanosi się cienką warstwę polikrystalicznego pp (~kilka nm) – CdS, CdSe lub CdTe. Następnie warstwę dielektryka (SiO_2 lub Al_2O_3), na końcu naparowuje się metalową elektrodę bramki (Al). Działa jak tranzystor MIS (tranzystory TFT wytwarza się wyłącznie metodami próżniowego osadzania warstw, tranzystory MIS w procesie lokalnej dyfuzji, implantacji, epitaksji i utleniania termicznego). Zastosowanie – elementy aktywne w scalonych układach cienkowarstwowych wytwarzanych w jednolitym procesie technologicznym (duża niestabilność parametrów w funkcji czasu).

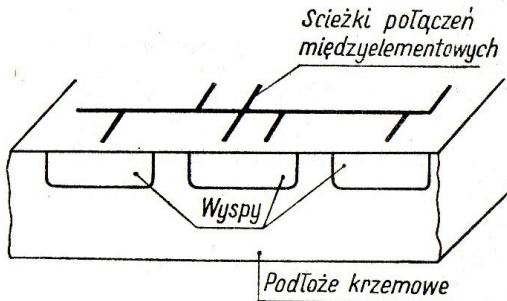
3.5. Tranzystory jednozłączowe

Struktura fizyczna tranzystora – rys. 11.2a – belka półprzewodnika typu n wyposażona w kontakty omowe na obu końcach (bazy, B_1 i B_2) i zawierająca złącze p-n. Niewielki obszar typu p – emiter. Odległość między bazą B_1 a emiterym 0.5...0.7 odległości między bazami.



Rys. 11.2. Uproszczone szkice struktury tranzystora jednozłączowego (a), jego symbole graficzne (b), struktura planarna (c)

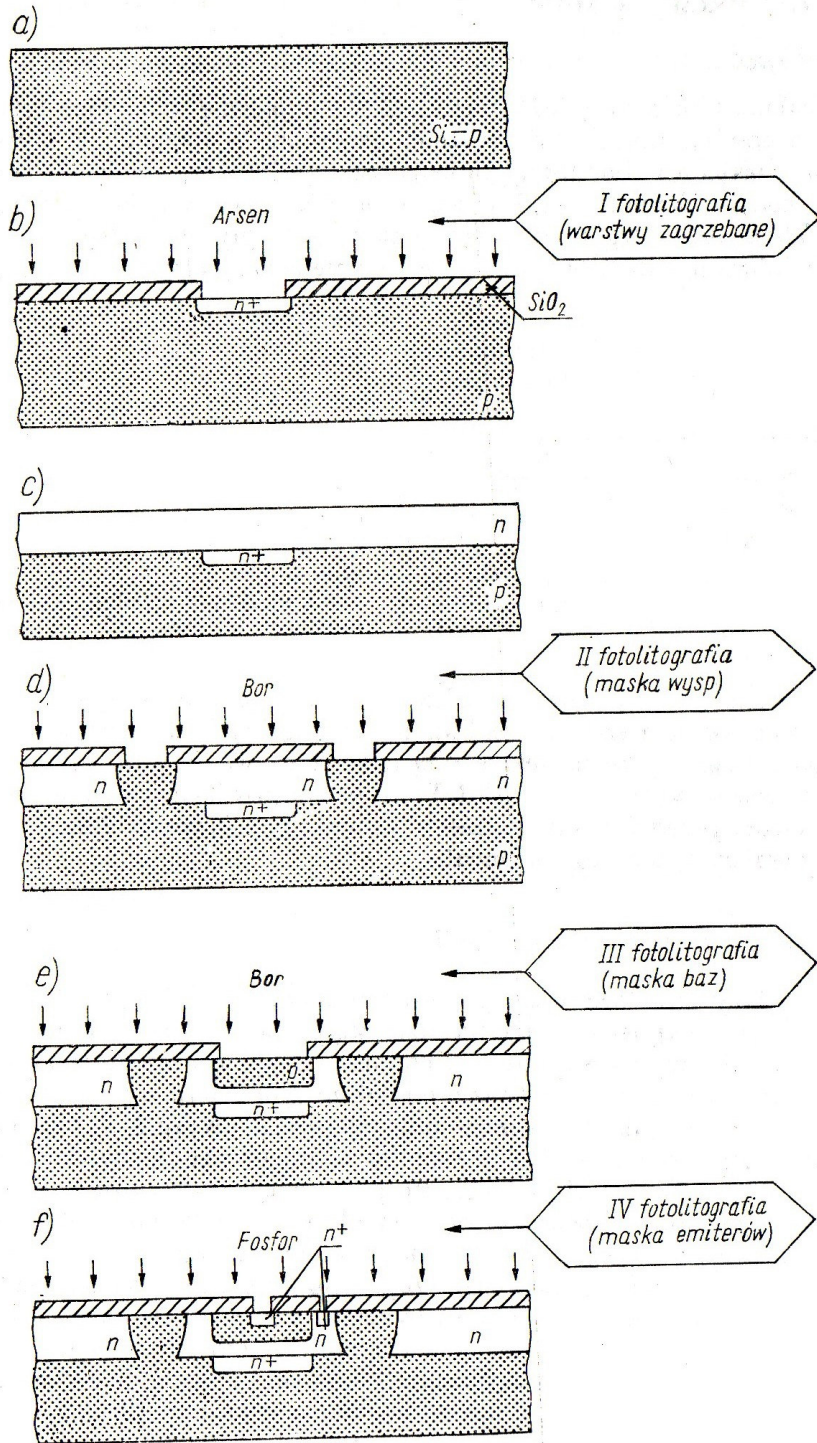
4. Półprzewodnikowe układy scalone

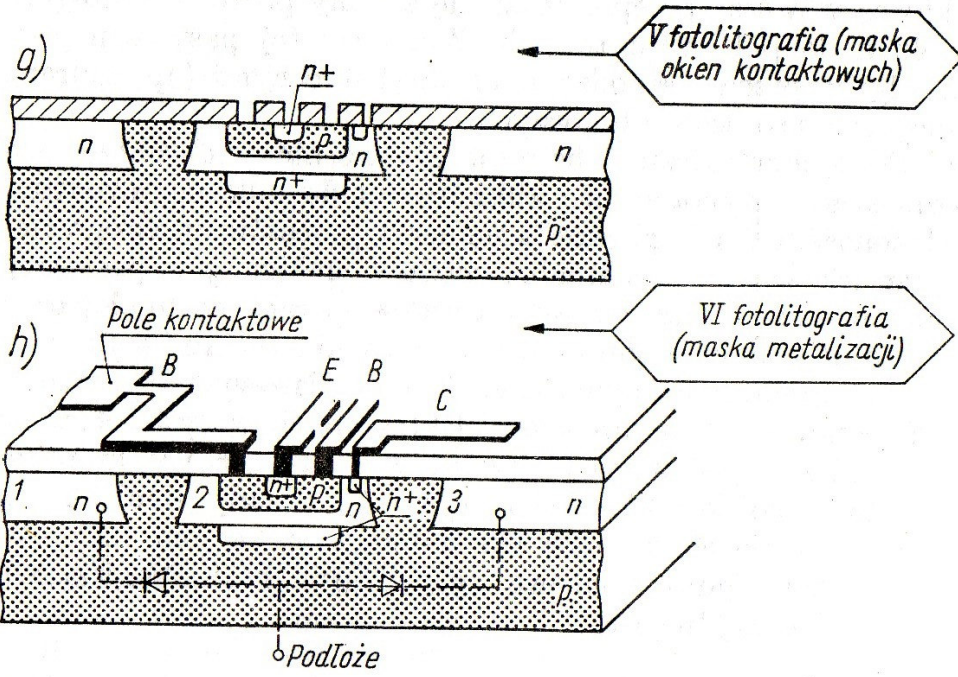


Rys. 8.3
Szkic struktury topologicznej układu scalonego bipolarnego

Na podłożu krzemowym technologią epiplanarną. Każdy element znajduje się w odizolowanej wyspie i połączony jest z innymi za pomocą ścieżek metalizacji. Podłoże płytka Si – nośnik mechaniczny (a) o górnej powierzchni polerowanej. Po 1 fotolit. płytke pokrywa się warstwa SiO_2 z oknami w miejscach lokalizacji tranzystorów i prowadzi dyfuzję domieszki donorowej (b). Następnie wytwarza się warstwę epitaksjalną typu n (c) – 5-20 μm . Po drugiej fotolitografii otwierane są okna przez które prowadzi się dyfuzję boru w celu przecięcia warstwy epitaksjalnej obszarami typu p (izolowane wyspy typu n) (d). Po 3 fotolit. otwiera się okna, przez które prowadzi się dyfuzję boru dla wytworzenia bazy tranzystora (p) (e). Po 4 fotolit. otwiera się okna przez które prowadzi się dyfuzję fosforu do obszarów emitera i kolektora (f). W piątym procesie fotolit. otwiera się okna, w których wykonane zostaną kontakty metaliczne (g) (okna kontaktowe emitera, bazy i kolektora. Iędzy operacjami (f) i (g) przez dolną powierzchnię przeprowadza się dyfuzję złota do całej płytki – centra generacyjno-rekombinacyjne, zmniejszające czas życia nosników, zwiększające szybkość działania układu scalonego. Po procesie (g) na powierzchnię płytki nakłada się aluminium. W 6 procesie fotolit.

wytrawia się aluminium pozostawiając ścieżki połączeń i pola kontaktowe. Na koniec całość pasywuje się. W 7 procesie fotolit. otwiera się okna do pól kontaktowych. Dalej testowanie, cięcie na kawałki z pojedynczymi układami scalonymi, montowanie w obudowie (lutowanie, termokompresja, hermetyzacja), kontrola parametrów elektrycznych i wykonanie napisów na obudowach.





Rys. 8.4. Podstawowe fazy standardowego procesu wytwarzania USB