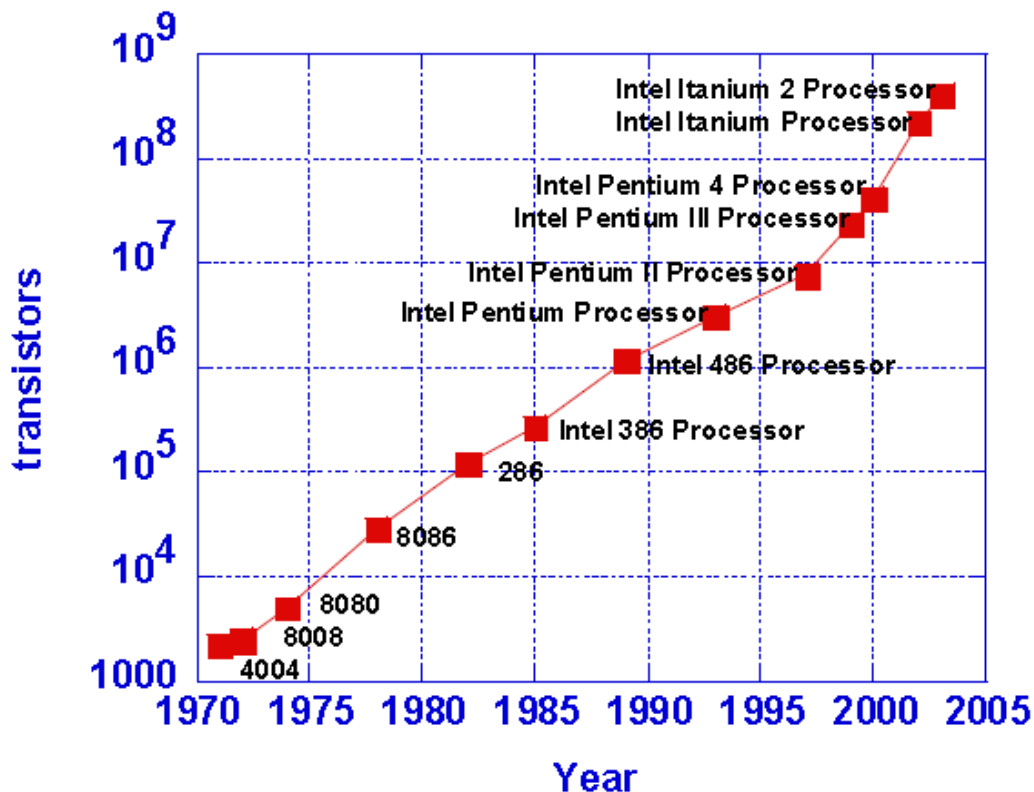


Prawo Gordona-Moora

„Ekonomicznie optymalna liczba tranzystorów w układzie scalonym podwaja się co 18-24 miesiące”, „Moc obliczeniowa komputerów podwaja się co 24 miesiące”

Jednym z głównych powodów, dzięki któremu ten wykładniczy wzrost jest możliwy, jest stosowanie coraz mniejszych elementów w procesie fabrykacji. Współcześnie dominują technologie 90, 65 i ostatnio 45 nm, kiedy we wczesnych latach 90. używano technologii 500 nm. Rozmiary te nie mogą się jednak zmniejszać w nieskończoność: w pewnym momencie takie tranzystory musiałyby być mniejsze od atomów. Inne istotne ograniczenie wynikają ze skończoności prędkości światła, stawiając nieprzekraczalną barierę minimalnego czasu potrzebnego na nawiązanie komunikacji między oddalonymi od siebie elementami komputerów lub sieci komputerowych.

Ze względu na niemożliwość zejścia z rozmiarem struktur poniżej rozmiaru atomu prawo to musi kiedyś przestać obowiązywać. Nie stanie się to nagle, będzie to raczej trwający proces spowalniania polepszania pewnych parametrów, jak szybkość czy pojemność. Od wielu lat powtarzane zapowiedzi, że czas obowiązywania prawa Moore'a właśnie dobiega końca, dotychczas nie spełniały się, aczkolwiek w listopadzie 2006 sam Gordon Moore oświadczył, że według niego za 2–3 lata (w 2008 lub 2009 roku) prawo to przestanie obowiązywać.



Układ scalony



Układy scalone

Układ scalony (ang. *integrated circuit*, *chip*, potocznie *kość*) – zminiaturyzowany układ elektroniczny zawierający w swym wnętrzu od kilku do setek milionów podstawowych elementów elektronicznych, takich jak tranzystory, diody, rezystory, kondensatory.

Historia

Prekursorem współczesnych układów scalonych była wyprodukowana w 1926 lampa próżniowa Loewe 3NF zawierająca wewnątrz jednej bańki trzy triody (dwie sygnałowe i jedną głośnikową), dwa kondensatory i cztery rezystory, całość była przeznaczona do pracy jako jednoobwodowy radiodbiornik reakcyjny.

Pierwszą osobą która opracowała teoretyczne podstawy układu scalonego był angielski naukowiec Geoffrey Dummer, nie udało mu się jednak zbudować pracującego układu. W 1958 Jack Kilby z Texas Instruments i Robert Noyce z Fairchild Semiconductor niezależnie od siebie zaprojektowali i zbudowali działające modele układów scalonych. Kilby zademonstrował swój wynalazek 12 września 1958^[1] (za co otrzymał Nagrodę Nobla z fizyki w 2000), Noyce zbudował swój pierwszy układ scalony około pół roku później.

Budowa

Zwykle zamknięty w hermetycznej obudowie – szklanej, metalowej, ceramicznej lub wykonanej z tworzywa sztucznego.

Ze względu na sposób wykonania układy scalone dzieli się na główne grupy:

- **monolityczne**, w których wszystkie elementy, zarówno elementy czynne jak i bierne, wykonane są w monokrystalicznej strukturze półprzewodnika
- **hybrydowe** – na płytce wykonanej z izolatora nanoszone są warstwy przewodnika oraz materiału rezystywnego, które następnie są wytrawiane, tworząc układ połączeń elektrycznych oraz rezystory. Do tak utworzonych połączeń dołącza się indywidualne, miniaturowe elementy elektroniczne (w tym układy monolityczne). Ze względu na grubość warstw rozróżnia się układy:

- cienkowarstwowe (warstwy ok. 2 mikrometrów)
- grubowarstwowe (warstwy od 5 do 50 mikrometrów)



Pomieszczenie wysokiej czystości w fabryce układów scalonych

Większość stosowanych obecnie układów scalonych jest wykonana w technologii monolitycznej.

Ze względu na **stopień scalenia** występuje, w zasadzie historyczny, podział na układy:

- małej skali integracji (SSI – *small scale of integration*)
- średniej skali integracji (MSI – *medium scale of integration*)
- dużej skali integracji (LSI – *large scale of integration*)
- wielkiej skali integracji (VLSI – *very large scale of integration*)
- ultrawielkiej skali integracji (ULSI – *ultra large scale of integration*)

Ponieważ w układach **monolitycznych** praktycznie wszystkie elementy wykonuje się jako tranzystory, odpowiednio tylko przyłączając ich końcówki, dlatego też często mówi się o *gęstości upakowania tranzystorów* na mm².



Układ AMD AM9080ADC / C8080A CPU 8080



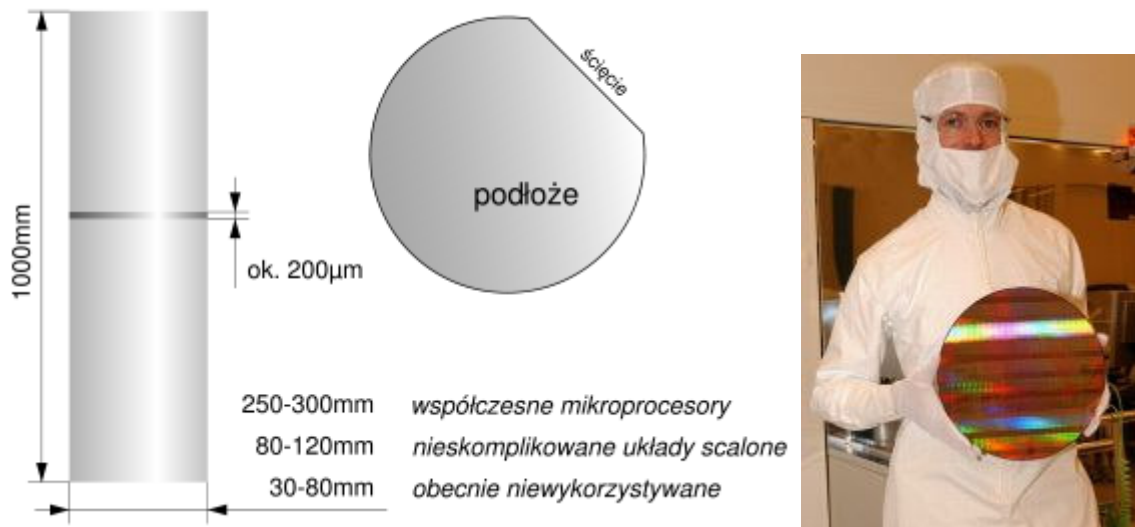
Motorola 68030

W dominującej obecnie technologii wytwarzania monolitycznych układów scalonych (technologia CMOS) często używanym wskaźnikiem technicznego zaawansowania procesu oraz gęstości upakowania elementów układów scalonych jest minimalna długość kanału tranzystora (patrz Tranzystor polowy) wyrażona w mikrometrach lub nanometrach – długość kanału jest nazywana *rozmiarem charakterystycznym* i im jest on mniejszy, tym upakowanie tranzystorów oraz ich szybkość działania są większe. W najnowszych technologiach, w których między innymi produkowane są procesory firm Intel i AMD, minimalna długość bramki wynosi 90 nm. W roku 2005 wdrożono do masowej produkcji układy wykonane w technologii 65 nm, a w 2008 r. Intel wyprodukował pierwszy procesor w technologii 45 nm.

Zarejestrowane topografie układów scalonych poddają ochronie, przy czym według prawa własności przemysłowej **układem scalonym** jest wytwór przestrzenny, utworzony z elementów z materiału półprzewodnikowego tworzącego ciągłą warstwę, ich wzajemnych połączeń przewodzących i obszarów izolujących, nierozdzielnie ze sobą sprzężonych, w celu spełniania funkcji elektronicznych.

Technologia planarna

W procesie produkcji monolitycznego układu scalonego można wyróżnić ok. 350 operacji technologicznych, poniżej zostanie przedstawiony tylko zarys czynności koniecznych do wyprodukowania układu.



Przybliżone wymiary pręta półprzewodnikowego oraz podłoża

- Wytworzenie podłoża:
 - Z pręta (walca) monokrystalicznego półprzewodnika wycinane są piłą diamentową plastry (dyski) o grubości kilkuset mikrometrów.
 - Krawędź plastra jest ścinana, by możliwe było określenie jego orientacji w dalszych etapach.
 - Plaster następnie podlega szlifowaniu oraz polerowaniu stając się **podłożem** dla układów scalonych.
- Proces epitaksji
 - Na podłożu wytwarzana jest cienka **warstwa epitaksjalna** półprzewodnika o przeciwnym typie przewodnictwa niż podłoże. Warstwa ta ma grubość kilka-kilkadziesiąt mikrometrów i charakteryzuje się dużą jednorodnością i gładkością powierzchni.
- Maskowanie – celem tego etapu jest wytworzenie maski, która umożliwi **selektywne domieszkowanie** warstwy epitaksjalnej
 - Warstwa epitaksjalną jest utleniana – na jej powierzchni wytwarza się cienka warstwa dwutlenku krzemu – **warstwa maskująca**; jej grubość wynosi mikrometr lub mniej, nawet kilka warstw atomów. Dwutlenek krzemu charakteryzuje się dużą wytrzymałością mechaniczną oraz chemiczną, a także dużą rezystancją.
 - W warstwie maskującej wykonywane są otwory. Istnieją dwie techniki:
 - *Fotolitografia:*
 - na warstwę maskującą nakładana jest emulsja światłoczuła
 - nakładana jest **maska fotograficzna**
 - następuje naświetlenie światłem ultrafioletowym (wysoka częstotliwość ultrafioletu pozwala uzyskać wysoką rozdzielczość)

- emulsja w miejscach naświetlonych podlega polimeryzacji
 - emulsja niespolimeryzowana zostaje wypłukana
 - dwutlenek krzemu w miejscach odsłoniętych jest wytrawiany, odsłaniając fragmenty warstwy epitaksjalnej
 - na końcu pozostała emulsja jest usuwana (chemicznie albo mechanicznie)
 - *Wycinanie wiązką elektronową*
 - Precyzyjnie sterowana wiązka elektronów wycina w dwutlenku krzemu otwory. Jest technika bardziej precyzyjna, ale droższa niż fotolitografia.
- Domieszkowanie
 - Odsłonięte części warstwy epitaksjalnej są domieszkowane. Robi się to dwiema metodami:
 - Dyfuzja domieszek – w wysokiej temperaturze (ok. 1200 stopni) domieszki niesione przez gaz szlachetny dyfundują w odsłonięte miejsca półprzewodnika; można bardzo precyzyjnie określić koncentrację nośników i głębokość domieszkowania. Dyfuzja domieszek jest powolnym procesem.
 - Implantacja jonów – zjonizowane domieszki są przyspieszane i "wbijane" w półprzewodnik. Proces jest szybki i precyzyjny, ale drogi.
- Wykonanie połączeń
 - Całość jest ponownie maskowana dwutlenkiem krzemu.
 - W tlenku wykonywane są niezbędne otwory połączeniowe.
 - Napyłane są warstwy przewodzące. Jako przewodnik stosuje się aluminium lub miedź.
- Montaż
 - Cięcie podłoża na indywidualne układy piłą diamentową lub laserem.
 - Indywidualne układy są testowane **testerem ostrzowym**.
 - Wykonywane są połączenia struktury z wyprowadzeniami zewnętrznymi za pomocą cienkich drucików aluminiowych lub złotych.

Producenci

Zgodnie z badaniami w 2007 roku^[2], największym producentem układów scalonych jest firma Intel. Kolejne miejsca zajmują: Samsung, Toshiba i Texas Instruments.

Transistor-Transistor Logic

Transistor-transistor logic (TTL) to klasa cyfrowych układów scalonych.

Zapoczątkowana przez Texas Instruments w 1961 w rodzinie 7400 TTL była pierwszą techniką masowej produkcji układów scalonych, i nadal jest w szerokim użyciu.

Układy TTL zbudowane są z tranzystorów bipolarnych i zasila się je napięciem stałym 5 V. Działają w logice dodatniej - sygnał TTL jest niski (logiczne "0"), gdy potencjał ma wartość od 0 V do 0,8 V w odniesieniu do masy, wysoki (logiczna "1") przy wartości potencjału między 2 V a 5 V.

Wyróżnia się kilka odmian oznaczonych odpowiednio literami:

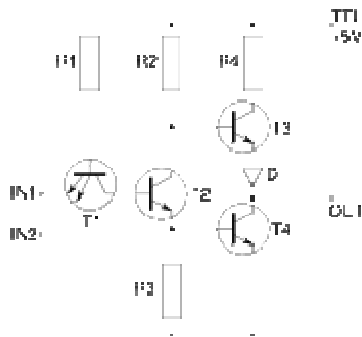
- L (Low power) – wersja o małym poborze mocy (10 razy mniejszy niż TTL), ale wolniejsza od standardowej (10 MHz); nigdy nie zyskała popularności, gdyż została niemal natychmiast zastąpiona układami CMOS serii 4000.
- H (High speed) – wersja szybsza od standardowej (58 MHz), ale o większym poborze mocy niż standardowa. Większą szybkość uzyskano przez zastosowanie 2x mniejszych rezystorów, co spowodowało szybsze przełączanie tranzystorów.
- S (Schottky) – odmiana szybka (125 MHz), której tranzystory zawierają dodatkową diodę Schottky'ego włączoną równolegle do złącza kolektor-baza i zabezpieczającą tranzystor przed nasyceniem co powoduje dużo szybsze przechodzenie tranzystora ze stanu przewodzenia do zatkania.
- AS (Advanced Schottky) – ulepszona seria S, charakteryzuje się jeszcze większą szybkością działania.
- LS (Low power Schottky) – wersja S o znacznie niższym poborze prądu (40 MHz), zbliżonym do standardowej bramki; główna seria układów TTL, stosowana w większości zastosowań.
- ALS (Advanced Low power Schottky) – unowocześniona seria LS, z mniejszym poborem mocy.
- F (Fast) – nowoczesna, najszybsza seria TTL (125 MHz).

Ponadto są produkowane układy w technologii CMOS, zgodne końcówkowo z TTL o takich samych oznaczeniach, wyróżniane literami C, AC, HCT, HC itp., np. 74HC00. Dodatkowo układy CMOS HCT mają takie same poziomy stanów logicznych jak TTL, przez co można je łączyć ze sobą.

TTL ma większy pobór prądu niż układy wykonane w technologii CMOS, ale układy tego typu są szybsze.

W technice TTL buduje się – oprócz standardowych układów logicznych – także układy z tzw. otwartym kolektorem na wyjściu (OC). Dzięki temu można realizować "sumę na drucie" (*wired OR*), obecnie już rzadko stosowany, kiedyś służył do podłączania urządzeń do magistrali albo do podłączania odbiorników większej mocy (np. diod świecących, a nawet żarówek) bezpośrednio do wyjścia bramki.

Schemat standardowej bramki



CMOS (ang. *Complementary MOS*) – technologia wytwarzania układów scalonych, głównie cyfrowych, składających się z tranzystorów MOS o przeciwnym typie przewodnictwa i połączonych w taki sposób, że w ustalonym stanie logicznym przewodzi tylko jeden z nich. Dzięki temu układ statystycznie nie pobiera żadnej mocy (pomijając niewielki prąd wyłączenia tranzystora), a prąd ze źródła zasilania płynie tylko w momencie przełączania – gdy przez bardzo krótką chwilę przewodzą jednocześnie oba tranzystory. Tracona w układach CMOS moc wzrasta wraz z częstotliwością przełączania, co wiąże się z przeładowywaniem wszystkich pojemności, szczególnie pojemności obciążających wyjścia. Układy CMOS są relatywnie proste i tanie w produkcji umożliwiając uzyskanie bardzo dużych gęstości upakowania tranzystorów na jednostce powierzchni płytki krzemu. W nowoczesnych układach powierzchnia zajmowana przez jeden tranzystor jest mniejsza od $1 \mu\text{m}^2$.

Obwody CMOS zostały wynalezione w 1963 przez Franka Wanlassa z firmy Fairchild Semiconductor. Pierwszy układ scalony wykonany w technologii CMOS powstał w firmie RCA w 1968 pod okiem Alberta Medwina. Oryginalnie układy CMOS stanowiły oszczędną alternatywę do energochłonnych układów TTL. Znikomy pobór mocy układów CMOS przy małych częstotliwościach przełączania stanowił atut zwłaszcza w układach zegarów przemysłowych oraz wszędzie tam, gdzie czas pracy z baterii był istotniejszy niż szybkość działania. Z czasem poprawiono także parametry dynamiczne i po 25 latach układy CMOS zdominowały elektronikę cyfrową.

Technolodzy twierdzą, że nowa technologia CMOS 45nm, w której Intel oraz AMD (Advanced Micro Devices) wykonują mikroprocesory klasy Penryn, jest najbardziej rewolucyjnym rozwiązaniem od czasów wprowadzenia technologii CMOS.

45 nanometer

Per the International Technology Roadmap for Semiconductors, the **45 nm** technology node should refer to the average half-pitch of a memory cell manufactured at around the 2007-2008 time frame.

Matsushita (Panasonic) and Intel (Integrated Electronics) started mass producing 45 nm chips in 2007, and AMD (Applied Micro Devices) is targeting 45 nm production in 2008, while IBM, Infineon, Samsung, and Chartered Semiconductor have already completed a common 45 nm process platform. By the end of 2008, SMIC will be the first China-based semiconductor company to move to 45 nm, having licensed the bulk 45 nm process from IBM.

CMOS processes	manufacturing
<ul style="list-style-type: none">• 10 μm• 3 μm• 1.5 μm• 1 μm• 800 nm (0.80 μm)• 600 nm (0.60 μm)• 350 nm (0.35 μm)• 250 nm (0.25 μm)• 180 nm (0.18 μm)• 130 nm (0.13 μm)• 90 nm• 65 nm• 45 nm• 32 nm (Double Patterning)• 22 nm (End of Planar Bulk CMOS)• 16 nm (Transition to Nanoelectronics)• 11 nm (Nanoelectronics)	

Many critical feature sizes are smaller than the wavelength of light used for lithography, i.e., 193 nm and/or 248 nm. A variety of techniques, such as larger lenses, are used to make sub-wavelength features. Double patterning has also been introduced to assist in shrinking distances between features, especially if dry lithography is used. It is expected that more layers will be patterned with 193 nm wavelength at the 45 nm node. Moving previously loose layers (such as Metal 4 and Metal 5) from 248 nm to 193 nm wavelength is expected to continue, which will likely further drive costs upward, due to difficulties with 193 nm photoresists.

The **10 μm process** (10 μm or 10000 nm) refers to the level of semiconductor process technology that was reached around 1971-1972 timeframe by the leading semiconductor companies, like Intel.

Products featuring 10 μm manufacturing process

- Intel 4004 CPU launched in 1971 was manufactured using this process.
- Intel 8008 CPU launched in 1972 was manufactured using this process.

The **3 μm process** (3 μm or 3000 nm) process refers to the level of semiconductor process technology that was reached around 1975 timeframe by the leading semiconductor companies, like Intel.

Products featuring 3 μm manufacturing process

- Intel 8085 CPU launched in 1975 was manufactured using this process.
- Intel 8088 CPU launched in 1979 was manufactured using this process.

Products featuring 10 μm manufacturing process

- Intel 4004 CPU launched in 1971 was manufactured using this process.
- Intel 8008 CPU launched in 1972 was manufactured using this process.

The **1.5 μm process** (1.5 μm or 1500 nm) process refers to the level of semiconductor process technology that was reached around 1982 timeframe by the leading semiconductor companies, like Intel and IBM.

Products featuring 1.5 μm manufacturing process

- Intel 80286 CPU launched in 1982 was manufactured using this process.

The **1 μm process** (1.0 μm or 1000 nm) process refers to the level of semiconductor process technology that was reached around 1985 timeframe by the leading semiconductor companies, like Intel and IBM.

Products featuring 1.0 μm manufacturing process

- Intel 80386 CPU launched in 1985 was manufactured using this process.

The **800 nanometer** (800 nm or 0.8 μm) process refers to the level of semiconductor process technology that was reached in the 1989-1990 timeframe, by most leading semiconductor companies, like Intel and IBM.

Products featuring 0.8 μm manufacturing process

- Intel 486 CPU launched in 1989 was manufactured using this process.

The **600 nanometer** (600 nm or 0.6 μm) process refers to the level of semiconductor process technology that was reached in the 1994-1995 timeframe, by most leading semiconductor companies, like Intel and IBM.

Products featuring 0.6 μm manufacturing process

- Intel 80486DX4 CPU launched in 1994 was manufactured using this process.
- IBM/Motorola PowerPC 601, the first PowerPC chip, was produced in 0.6 μm .
- First Intel Pentium CPUs at 60 MHz and 66 MHz were also manufactured using this process.

The **350 nanometer** (350 nm or 0.35 μm) process refers to the level of semiconductor process technology that was reached in the 1995-1996 timeframe, by most leading semiconductor companies, like Intel and IBM.

Products featuring 350 nm manufacturing process

- Intel Pentium Pro (1995), Pentium (P54CS, 1995), and initial Pentium II CPUs (Klamath, 1997).
- AMD K5 (1996) and original AMD K6 (Model 6, 1997) CPUs.
- SGI/NEC-based Nintendo 64 game console.

The **250 nanometer** (250 nm or 0.25 μm) process refers to a level of semiconductor process technology.

Products featuring 250 nm manufacturing process

- The DEC Alpha 21264A, which was made commercially available in 1999.
- The AMD K6-2 K6-3D "Chomper" and "Chomper Extended". Chomper was released on May 28, 1998.
- The Deschutes core Pentium II at 333 MHz was Intel's first Pentium II at 250 nm.
- The Sega Dreamcast had its CPU and GPU in 250 nm.
- The initial PlayStation 2 used 250 nm.

The **180 nanometer** (180 nm or 0.18 μm) process refers to the level of semiconductor process technology that was reached in the 1999-2000 timeframe, by most leading semiconductor companies, like Intel, Texas Instruments, IBM, and TSMC.

The origin of the 180 nm value is historical, as it reflects a trend of 70% scaling every 2-3 years. The naming is formally determined by the International Technology Roadmap for Semiconductors (ITRS) hosted by Sematech.

Some of the first CPUs manufactured with this process include Intel Coppermine family of Pentium III processors. This was the first technology using a wavelength shorter than that of light used for lithography (which has a minimum of 193 nm).

The **130 nanometer** (130 nm or 0.13 μm) process refers to the level of semiconductor process technology that was reached in the 2000-2001 timeframe, by most leading semiconductor companies, like Intel, Texas Instruments, IBM, and TSMC.

The origin of the 130 nm value is historical, as it reflects a trend of 70% scaling every 2-3 years. The naming is formally determined by the International Technology Roadmap for Semiconductors (ITRS), hosted by Sematech.

Some of the first CPUs manufactured with this process include Intel Tualatin family of Pentium III processors.

Processors using 130 nm manufacturing technology

- Intel Pentium III Tualatin
- Intel Celeron Tualatin-256 - 2001-10-02
- Intel Pentium M Banias - 2003-03-12
- Intel Pentium 4 Northwood- 2002-01-07
- Intel Celeron Northwood-128 - 2002-09-18
- Intel Xeon Prestonia and Gallatin - 2002-02-25
- AMD Athlon XP Thoroughbred, Thorton, and Barton
- AMD Athlon MP Thoroughbred - 2002-08-27
- AMD Athlon XP-M Thoroughbred, Barton, and Dublin
- AMD Duron Applebred - 2003-08-21
- AMD K7 Sempron Thoroughbred-B, Thorton, and Barton - 2004-07-28
- AMD K8 Sempron Paris - 2004-07-28
- AMD Athlon 64 Clawhammer and Newcastle - 2003-09-23
- AMD Opteron Sledgehammer - 2003-06-30

The **90 nanometer** (90 nm) process refers to the level of CMOS process technology that was reached in the 2002-2003 timeframe, by most leading semiconductor companies, like Intel, AMD, Infineon, Texas Instruments, IBM, and TSMC.

The origin of the 90 nm value is historical, as it reflects a trend of 70% scaling every 2-3 years. The naming is formally determined by the International Technology Roadmap for Semiconductors (ITRS), hosted by Sematech.

The 193 nm wavelength was introduced by many (but not all) companies for lithography of critical layers mainly during the 90 nm node. Yield issues associated with this transition (due to the use of new photoresists) were reflected in the high costs associated with this transition.

Even more significantly, the 300 mm wafer size became mainstream at the 90 nm node. The previous wafer size was 200 mm diameter.

As of 2008, 65 nm technology is largely replacing 90 nm technology in leading-edge chip products. However, some products, notably chipsets, have moved from older 130 nm technology to the 90 nm process.

Example: Elpida 90 nm DDR2 SDRAM process

- Use of 300 mm wafer size
- Use of KrF (248 nm) lithography with optical proximity correction
- 512 Mb
- 1.8 V operation
- Derivative of earlier 110 nm and 100 nm processes

Sources: Elpida's presentation at Via Technology Forum 2005 and Elpida 2005 Annual Report

Processors using 90 nm process technology

- Intel Pentium 4 Prescott - 2004-02-01
- Intel Celeron D Prescott-256 - 2004-05-24
- Intel Pentium M Dothan - 2004-05-10
- Intel Celeron M Dothan-1024 - 2004-08-31
- Intel Xeon Nocona, Irwindale, Cranford, Potomac, Paxville - 2004-06-28
- Intel Pentium D Smithfield - 2005-05-26
- AMD Athlon 64 Winchester, Venice, San Diego, Orleans - 2004-10-14
- AMD Athlon 64 X2 Manchester, Toledo, Windsor - 2005-05-31
- AMD Sempron Palermo and Manila - 2004-08
- AMD Turion 64 Lancaster and Richmond - 2005-03-10
- AMD Turion 64 X2 Taylor and Trinidad - 2006-05-17
- AMD Opteron Venus, Troy, and Athens - 2005-08-02
- AMD Dual-core Opteron Denmark, Italy, Egypt, Santa Ana, and Santa Rosa

The **65 nanometer** (65 nm) process is an advanced lithographic node used in volume CMOS semiconductor fabrication. Printed linewidths (i.e., transistor gate lengths) can reach as low as 25 nm on a nominally 65 nm process, while the pitch between two lines may be greater than 130 nm. See Table 40a in the 2006 industry roadmap [1]. For reference, cellular ribosomes are about 20 nm end-to-end. A crystal of bulk silicon has a lattice constant of 0.543 nm, so such transistors are on the order of 100 atoms across. As of September 2007, Intel, AMD, IBM, UMC, Chartered and TSMC are currently producing 65 nm chips. Companies planning 65 nm production include Texas Instruments, Cypress Semiconductor and Motorola.

While feature sizes may be drawn as 65 nm or less, the wavelengths of light used for lithography are 193 nm and 248 nm. Fabrication of sub-wavelength features requires special imaging technologies, such as optical proximity correction and phase-shifting masks. Many of these techniques incur marginal costs in addition to those associated with upgrading equipment such as steppers and supplies such as photoresist. Furthermore, these costs are multiplied by an increasing number of mask layers that must be printed at the minimum pitch, and the reduction in yield from printing so many layers at the cutting edge of the technology. For new integrated circuit designs, this factors into the costs of prototyping and production. Upgraded 90-nanometer processes now compete with the 65 nm node from the same vendor, blurring the line between old and new technology.

Gate thickness, another important dimension, is reduced to as little as 1.2 nm (Intel). Only a few atoms insulate the "switch" part of the transistor, causing charge to flow through it. This undesired effect, *leakage*, is caused by quantum tunneling. The new chemistry of high-k gate dielectrics must be combined with existing techniques including substrate bias and multiple threshold voltages to prevent leakage from prohibitively consuming power.

IEDM papers from Intel in 2002, 2004 and 2005 indicate that the minimum feature pitch did not change much (220 nm to 210 nm) going from 90 nm to 65 nm node, even for the low power process. This suggests that scaling down the distance between microprocessor transistors is slowing down dramatically, but chip size can be made smaller by crowding a larger fraction of transistors at the minimum distance.

Example: Fujitsu 65 nm process

- Gate length: 30 nm (high-performance) to 50 nm (low-power)
- Core voltage: 1.0 V
- 11 Cu interconnect layers using nano-clustering silica as ultralow k dielectric (k=2.25)
- Metal 1 pitch: 180 nm
- Nickel silicide source/drain
- Gate oxide thickness: 1.9 nm (n), 2.1 nm (p)

There are actually two versions of the process: CS200, focusing on high performance, and CS200A, focusing on low power.

Processors using 65 nm manufacturing technology

- Intel Pentium 4 (Cedar Mill) – 2006-01-16
- Intel Pentium D 900-series – 2006-01-16
- Intel Celeron D (Cedar Mill cores) – 2006-05-28
- Intel Core – 2006-01-05
- Intel Core 2 – 2006-07-27
- Intel Xeon (Sossaman) – 2006-03-14
- AMD Athlon 64 series (starting from Lima) – 2007-02-20
- AMD Turion 64 X2 series (starting from Tyler)- 2007-05-07
- AMD Phenom series
- IBM's Cell Processor - PlayStation 3 - 2007-11-17
- Microsoft Xbox 360 "Falcon" CPU - 2007-09
- Microsoft Xbox 360 "Jasper" GPU - 2008-09
- Sun UltraSPARC T2 – 2007-10
- AMD Turion Ultra – 2008-06^[1]
- TI OMAP 3 Family^[2] - 2008-02

[edit] Processors projected to use 65 nm manufacturing technology

- Intel Itanium 2 (Tukwila) – 2008-12

45 nanometer

Per the International Technology Roadmap for Semiconductors, the **45 nm** technology node should refer to the average half-pitch of a memory cell manufactured at around the 2007-2008 time frame.

Matsushita and Intel started mass producing 45 nm chips in 2007, and AMD is targeting 45 nm production in 2008, while IBM, Infineon, Samsung, and Chartered Semiconductor have already completed a common 45 nm process platform. By the end of 2008, SMIC will be the first China-based semiconductor company to move to 45 nm, having licensed the bulk 45 nm process from IBM.

Many critical feature sizes are smaller than the wavelength of light used for lithography, i.e., 193 nm and/or 248 nm. A variety of techniques, such as larger lenses, are used to make sub-wavelength features. Double patterning has also been introduced to assist in shrinking distances between features, especially if dry lithography is used. It is expected that more layers will be patterned with 193 nm wavelength at the 45 nm node. Moving previously loose layers (such as Metal 4 and Metal 5) from 248 nm to 193 nm wavelength is expected to continue, which will likely further drive costs upward, due to difficulties with 193 nm photoresists.

Example: Intel's 45 nm Process

At IEDM 2007, more technical details of Intel's 45 nm process were revealed.

Since immersion lithography is not used here, the lithographic patterning is more difficult. Hence many lines have been lengthened rather than shortened. A more time-consuming double patterning method is used explicitly for this 45 nm process, resulting in potentially higher risk of product delays than before. Also, the use of high-k dielectrics is introduced for the first time, to address gate leakage issues. For the 32 nm node, immersion lithography will begin to be used by Intel.

- 160 nm gate pitch (73% of 65 nm generation)
- 200 nm isolation pitch (91% of 65 nm generation) indicating a slowing of scaling of isolation distance between transistors
- extensive use of dummy copper metal and dummy gates[2]
- 35 nm gate length (same as 65 nm generation)
- 1 nm equivalent oxide thickness, with 0.7 nm transition layer
- gate-last process using dummy polysilicon and damascene metal gate
- squaring of gate ends using a second photoresist coating^[3]
- 9 layers of carbon-doped oxide and Cu interconnect, the last being a thick "redistribution" layer
- contacts shaped more like rectangles than circles for local interconnection
- lead-free packaging
- 1.36 mA/um nFET drive current
- 1.07 mA/um pFET drive current, 51% faster than 65 nm generation, with higher hole mobility due to increase from 23% to 30% Ge in embedded SiGe stressors

In a recent Chipworks reverse-engineering analysis, it was disclosed that the trench contacts were formed as a "Metal-0" layer in tungsten serving as a local interconnect. Most trench contacts were short lines oriented parallel to the gates covering diffusion, while gate contacts were even shorter lines oriented perpendicular to the gates.

Processors using 45nm technology

- Matsushita has released the 45 nm Uniphier.
- Wolfdale, Yorkfield, Yorkfield XE and Penryn are current Intel cores sold under the Core 2 brand.
- Diamondville are current Intel cores with Hyper-Threading sold under the Intel Atom brand.
- AMD Deneb (desktop) & Shanghai (server) Quad-Core Processors, expected Q4 2008 [3]

The **32 nanometer** (32 nm) process (also called **32 nanometer node**) is the next step after the 45 nanometer process in CMOS manufacturing and fabrication. "32 nm" refers to the expected average half-pitch of a memory cell at this technology level. The two major chip rivals, Intel and AMD, are both working on a 32 nanometer process for logic, which uses significantly looser design rules.^[1] AMD has partnered with IBM on this process, as it did with the 45 nm process. IBM will release the 32 nm process for prototyping designs with the Common Platform in the third quarter of 2008,^[2] while Intel will begin its 32 nm production later in 2009.^[3]

Technology demos

IMEC (Belgium) has recently demonstrated a 32 nm Flash patterning capability based on double patterning and immersion lithography. The introduction of double patterning may offset some of the cost advantages of moving from one node to the next, but may be unavoidable in order to reduce memory cell area.

TSMC similarly used double patterning combined with immersion lithography to produce a 32 nm node 0.183 square micrometer six-transistor SRAM cell in 2005.^[4]

IBM demonstrated a 0.143 square micrometer SRAM cell, produced using electron-beam lithography and optical lithography on the same layer. It was observed that the static noise margin (sensitivity to input voltage fluctuations) degraded significantly in going to such a small SRAM cell size. The poly gate pitch was 135 nm.^[5]

Intel showed the first 32nm test chips to the public on September 18, 2007 at the Intel Developer Forum. At the release, several technical details were disclosed. A second-generation high-k gate dielectric and metal gate were used. The cell size was 0.182 square micrometers and the chip contained almost 2 billion transistors. 193 nm immersion lithography was used for the critical layers, while 193 nm or 248 nm dry lithography was used on less critical layers.

IM Flash Technologies launched a 32 Gb NAND Flash built on 34 nm design rules in May 2008. This design rule could only be accomplished with double patterning using 193 nm lithography tools.

In late October 2007, Samsung disclosed a 30 nm NAND Flash patterning process, using self-aligned double patterning. Starting from a 60 nm half-pitch pattern, new material was deposited and etched in between features to produce a 30 nm half-pitch pattern. Presumably, this can be repeated once more for 15 nm half-pitch.

As of 2008, the use of double patterning for 32 nm lithography appears inevitable, due to the lack of availability of alternative lithography techniques which meet manufacturing targets (such as throughput).

The successors to 32 nm technology will be 22 nm, and then 16 nm technology per ITRS.

The **22 nanometer** (22 nm) node is the CMOS process step following 32 nm. It is expected to be reached by semiconductor companies in the 2011–2012 timeframe. At that time, the typical half-pitch for a memory cell would be around 22 nm. The exact naming of this technology node comes from the International Technology Roadmap for Semiconductors (ITRS).

The ITRS 2006 Front End Process Update indicates that equivalent physical oxide thickness will not scale below 0.5 nm which is the expected value at the 22 nm node. This is an indication that CMOS scaling in this area has reached a wall at this point.

Since the 32 nm half-pitch already requires using double patterning, in conjunction with hyper-NA (numerical aperture) immersion lithography tools, this approach will continue to be used at the 22 nm half-pitch, to which it can be scaled.^[1]

Some predictions for the 22 nm node come from the ITRS. For example, it is predicted that silicon devices will no longer be planar, but will require ultrathin sections mostly surrounded on the sides by gates. The silicon body in each section is fully depleted, i.e., the free charge carrier concentration is deliberately suppressed. The sections basically protrude as fins from the surface (sometimes these are known as FinFETs). The creation of fins is a new challenge for the semiconductor industry, which has become accustomed to building transistors on a flat silicon surface.

According to the ITRS, the 22 nm node also marks the first time where the pre-metal dielectric, separating the transistor from the first metal layer, is a porous low-k material, replacing traditional, denser CVD silicon dioxide. The introduction of a porous material closer to the front end presents numerous integration challenges. In particular, the extent of plasma damage to low-k materials is typically 20 nm thick,^[2] but can also go up to approximately 100 nm.^[3]

The successor to 22 nm technology will be 16 nm technology per ITRS.

Technology Demos

On August 18, 2008, AMD, Freescale, IBM, STMicroelectronics, Toshiba and the College of Nanoscale Science and Engineering (CNSE) announced that they jointly developed and manufactured a 22 nm SRAM cell, built on a traditional six-transistor design on a 300 mm wafer, which had a memory cell size of just 0.1 square μm .^[4] The cell was printed using immersion lithography.^[5]

The **16 nanometer** (16 nm) node is the technology node following the 22 nm node. The exact naming of the technology nodes comes from the International Technology Roadmap for Semiconductors (ITRS). By conservative ITRS estimates the 16 nm technology is projected to be reached by semiconductor companies in the 2018 timeframe. It has been claimed that transistors cannot be scaled below the size achievable at 16 nm due to quantum tunneling, regardless of the materials used.^[1] At that time, the typical half-pitch for a memory cell would be around 16 nm, while the gate length would be even smaller (6-8 nm). However, in complying with its own "Architecture and Silicon Cadence Model",^[2] Intel will need to reach a new manufacturing process every two years. This would imply going to 16 nm as early as 2013.

16 nm resolution is difficult to achieve in a polymeric resist, even with electron beam lithography. In addition, the chemical effects of ionizing radiation also limit reliable resolution to about 50 nm, which is also achievable using current state-of-the-art immersion lithography. Hardmask materials and possibly iterated double patterning will be required.

A more significant limitation comes from plasma damage to low-k materials. The extent of damage is typically 20 nm thick,^[3] but can also go up to approximately 100 nm.^[4] The damage sensitivity is expected to get worse as the low-k materials become more porous.

Currently, very few 16 nm features are capable of being produced using reliable processes in mass quantity, with some notable attempts like carbon nanotubes. Even in these cases, the variation within any sample population is quite large and the compatibility of such exotic processes and materials with current mainstream ones present further issues.

For comparison, the lattice constant, or distance between surface atoms, of unstrained silicon is 543 pm (0.543 nm). Thus fewer than thirty atoms would span the channel length, leading to substantial leakage.

Because exotic technologies not based on silicon are expected to become prominent during this node, and at the same time conventional silicon technology is still being pushed to the scaling limits, this node can be seen as a transition from CMOS to nanoelectronics.

Technology demos

In 2005 Toshiba demonstrated 15 nm gate length and 10 nm fin width using a sidewall spacer process.^[5] It has been suggested that for the 16 nm node, a logic transistor would have a gate length of about 5 nm.^[1]

In December 2007, Toshiba demonstrated a prototype memory unit which uses 15 nanometer thin lines.^[6]

The **11 nanometer (11 nm) node** is the technology node following 16 nm node. The exact naming of this technology node comes from the International Technology Roadmap for Semiconductors (ITRS). According to the 2007 edition of this roadmap, by the year 2022, the half-pitch (i.e., half the distance between identical features in an array) for a DRAM should be 11 nm, although Intel's "Architecture and Silicon Cadence Model" places it closer to the year 2015. Intel's Pat Gelsinger claims that Intel sees a 'clear way' towards the 11nm node.^{[1][2]}

While the roadmap has been based on the continuing extension of CMOS technology, even this roadmap does not guarantee that silicon-based CMOS will extend that far. This is to be expected, since the gate length for this node may be smaller than 6 nm, and the corresponding gate dielectric thickness would scale down to a monolayer or even less. Reported estimates indicate that transistors at these dimensions are significantly affected by quantum tunneling.^[3] As a result, non-silicon extensions of CMOS, using III-V materials or nanotubes/nanowires, as well as non-CMOS platforms, including molecular electronics, spin-based computing, and single-electron devices, have been proposed. Hence, this node marks the practical beginning of nanoelectronics.

Due to the extensive use of ultra-low-k dielectrics such as spin-on polymers or other porous materials, it is unlikely conventional lithography, etch or even chemical-mechanical polishing processes can continue to be used, because these materials contain a high density of voids or gaps. At scales of ~ 10 nm, quantum tunneling, especially through gaps, becomes a significant phenomenon.^[4] Controlling gaps on these scales by means of electromigration can produce interesting electrical properties themselves.^[5]

High-k Dielectrics

Chipmakers have initially voiced concerns about introducing new high-k materials into the gate stack, for the purpose of reducing leakage current density. As of 2007, however, both IBM and Intel have announced that they have high-k dielectric and metal gate solutions, which Intel considers to be a fundamental change in transistor design.^[1] NEC has also put high-k materials into production.

Technology demos

- In 2004, TSMC demonstrated a 0.296 square micrometer 45 nm SRAM cell. In 2008, TSMC moved on to a "40 nm" process.

- In January 2006, Intel demonstrated a 0.346 square micrometers 45 nm node SRAM cell.
- In April 2006, AMD demonstrated a 0.370 square micrometer 45 nm SRAM cell.
- In June 2006, Texas Instruments debuted a 0.24 square micrometer 45 nm SRAM cell, with the help of immersion lithography.
- In November 2006, UMC announced that it had developed a 45 nm SRAM chip with a cell size of less than 0.25 square micrometer using immersion lithography and low-k dielectrics.
- In June 2007 Matsushita Electric Industrial Co. started mass production of System-on-a-chip (SoC) for use in digital consumer equipment based on the 45-nm process technology.

The successors to 45 nm technology will be 32 nm, 22 nm, and then 16 nm technology per ITRS.

Commercial introduction

Matsushita Electric Industrial Co. has already started mass production of System-on-a-chip (SoC) for use in digital consumer equipment based on the 45-nm process technology.

Intel has shipped its first 45 nanometer based processor on the 5400-series Xeon(R) platform in November 2007.

Many details about Penryn appeared at the April 2007 Intel Developer Forum. Its successor is expected to be Nehalem. Important advances^[2] include the addition of new instructions (including SSE4, also known as Penryn New Instructions) and new fabrication materials (most significantly a hafnium-based dielectric).

AMD has targeted its commercial production for 2008. [1]

Example: Intel's 45 nm Process

At IEDM 2007, more technical details of Intel's 45 nm process were revealed.

Since immersion lithography is not used here, the lithographic patterning is more difficult. Hence many lines have been lengthened rather than shortened. A more time-consuming double patterning method is used explicitly for this 45 nm process, resulting in potentially higher risk of product delays than before. Also, the use of high-k dielectrics is introduced for the first time, to address gate leakage issues. For the 32 nm node, immersion lithography will begin to be used by Intel.

- 160 nm gate pitch (73% of 65 nm generation)
- 200 nm isolation pitch (91% of 65 nm generation) indicating a slowing of scaling of isolation distance between transistors
- extensive use of dummy copper metal and dummy gates[2]


- 35 nm gate length (same as 65 nm generation)
- 1 nm equivalent oxide thickness, with 0.7 nm transition layer
- gate-last process using dummy polysilicon and damascene metal gate
- squaring of gate ends using a second photoresist coating^[3]
- 9 layers of carbon-doped oxide and Cu interconnect, the last being a thick "redistribution" layer
- contacts shaped more like rectangles than circles for local interconnection
- lead-free packaging
- 1.36 mA/um nFET drive current
- 1.07 mA/um pFET drive current, 51% faster than 65 nm generation, with higher hole mobility due to increase from 23% to 30% Ge in embedded SiGe stressors


In a recent Chipworks reverse-engineering analysis, it was disclosed that the trench contacts were formed as a "Metal-0" layer in tungsten serving as a local interconnect. Most trench contacts were short lines oriented parallel to the gates covering diffusion, while gate contacts were even shorter lines oriented perpendicular to the gates.


Processors using 45nm technology


- Matsushita has released the 45 nm Uniphier.
- Wolfdale, Yorkfield, Yorkfield XE and Penryn are current Intel cores sold under the Core 2 brand.
- Diamondville are current Intel cores with Hyper-Threading sold under the Intel Atom brand.
- AMD Deneb (desktop) & Shanghai (server) Quad-Core Processors, expected Q4 2008 [3]

Aktualności - Kategoria 'procesory'

 K10.5 w wersji dwurdzeniowej dopiero w drugim kwartale 2009 roku W obliczu dobrze zapowiadającej się architektury K10.5 45 nm, największym problemem AMD jest obecnie brak perspektyw na najbliższe kilka miesięcy dla popularnych procesorów dwurdzeniowych.
środa, 19 listopada 2008 - 16:12:59 0

 Deneb w wersji DDR3 - premiera w lutym Jak już informowaliśmy, pierwsze procesory 45 nm bazujące na układach Deneb, zadebiutują już na początku stycznia przy okazji targów CES. Okazuje się, że Deneb w wersji wspierającej pamięci DDR3 zadebiutuje już miesiąc później.
wtorek, 18 listopada 2008 - 17:41:00 0

 Phenom II - oficjalnie AMD potwierdza O/C 4 GHz na powietrzu i prezentuje szczegóły co do premiery nowych, 45 nm procesorów.
wtorek, 18 listopada 2008 - 14:02:54 1

 Phenom II będzie się świetnie podkręcać Phenom II - znany też pod nazwą kodową Deneb - może pracować z zegarem 4 GHz przy tradycyjnym chłodzeniu powietrznym, jednak na ile będzie go stać przy chłodzeniu wodą?
poniedziałek, 17 listopada 2008 - 18:06:50 3

 Phenom II - debiut 8 stycznia 08.01.09 A.D. to niemalże święto dla fanów marki AMD - wtedy to podczas targów

CES zaprezentowana zostanie nowa, 45 nm generacja procesorów.
poniedziałek, 17 listopad 2008 - 10:34:45 3



AMD: 32 nm w 2010 roku
Advanced Micro Devices chce do końca 2010 roku opracować 32 nm technologię produkcji procesorów.
niedziela, 16 listopad 2008 - 10:03:00 3



Cztery mobilne rdzenie AMD dopiero w 2010
Według slajdów przedstawiających plany AMD, ujawnionych na czwartkowym spotkaniu Financial Analyst Day, kontrakt firmy z Sunnyvale - wymierzony przeciw czterordzeniowym procesorom mobilnym Intela - nastąpi dopiero za dwa lata.
niedziela, 16 listopad 2008 - 07:57:58 0



Premiera AMD Fusion znów przełożona, tym razem do 2011 roku
Odkąd AMD przejęło ATI w 2006 roku, wiele razy poruszano temat enigmatycznego projektu Fusion, czyli hybrydy GPU i CPU. Wygląda na to, że Fusion był, jest i będzie jedną wielką niewiadomą jeszcze przez długi okres czasu.
sobota, 15 listopad 2008 - 11:15:27 3



Conesus i Huron pomogą AMD zaatakować rynek netbooków
Rok 2008 należy do netbooków. Pomimo słabej kondycji światowej gospodarki, kompaktowe laptopy praktycznie zwojowały świat. Trudno w takiej sytuacji dziwić się decyzji AMD, które zamierza przeprowadzić ofensywę na tym rynku.
sobota, 15 listopad 2008 - 10:24:27 0



Serwerowy Nehalem w pierwszym kwartale 2009 roku
Amerykańska firma Intel planuje wprowadzić swoją nową architekturę procesorów na rynek serwerów już w pierwszym kwartale przyszłego roku. Serwerowi bracia Core i7 będą nosić oznaczenia kodowe Nehalem-EP oraz Nehalem-WS.
sobota, 15 listopad 2008 - 09:33:10 1

> *Jakie zalety ma zejście z technologii 60 nm do 45 nm w CPU?. Oprócz większego upakowania struktur, jakie są zalety? Jak wygląda zużycie prądu w obu technologiach? Jak*

e6550 2,33 GHz (4MB/1333MHz) - 65 nm
wolfdale 2,33 GHz (6MB/1333MHz) - 45 nm

pobór mocy w spoczynku:
45 nm - 43 w/31 stopnie
65 nm - 61 w/41 stopni

pobór mocy pod obciążeniem:
45 nm - 59 w/37 stopni
65 nm - 83 w/49 stopni

Tanie cztery rdzenie w technologii 45nm od Intela
29-07-2008 15:09 | Robert Graczyk | źródło: Guru3D



Od 31 sierpnia będziemy mogli nabyć **NOWY** czterordzeniowy procesor Intela wykonany w procesie technologicznym 45nm. Mowa tu Core 2 Quad Q8200 który będzie pracował z częstotliwością 2.33 GHz (FSB 1333MHz) oraz zostanie wyposażony w 4 MB pamięci podręcznej.

Cena nowego procesora wyniesie 224 USD co oznacza, że będzie niewiele droższy od Core 2 Quad Q6600 który obecnie kosztuje 193 USD.

8 stycznia 2008, 12:41

CES: technologia 45 nm i 6 MB pamięci cache L2 dla notebooków



Rdzeń Penryn (po lewej) ma o 25 procent mniejszą powierzchnię i o 41 procent więcej tranzystorów niż Merom

Zgodnie z oczekiwaniami podczas odbywających się właśnie targów CES koncern Intel zaprezentował procesory mobilne z 45-nanometrowym rdzeniem Penryn. Te występujące wciąż pod nazwą Core 2 Duo układy dysponują o 50 procent większą pamięcią cache L2, ale mimo to nie osiągają – przynajmniej na razie – wyższych częstotliwości taktowania niż procesory z rdzeniem Merom. Ponadto Penryn obsługuje zestaw poleceń SSE4 i nieco szybciej wykonuje operacje dzielenia. Producent wprowadził też nowy tryb głębokiego uśpienia, dzięki któremu notebook zasilany akumulatorem pracuje o kilka o minut dłużej.

Flagowy okręt Intela – Core 2 Extreme X9000 – pracuje z częstotliwością 2,8 GHz i ku uciechu entuzjastów overclockingu ma odblokowany mnożnik. W przypadku tej kości efektywna maksymalna strata mocy (Thermal Design Power, TDP) wynosi 44 waty. Stąd też jest on stosowany jedynie w nielicznych modelach notebooków, które pracowały już wcześniej z układem Extreme X7900. Najszybszą wersją procesora, który może pochwalić się współczynnikiem TDP na poziomie 35 watów, jest Core 2 Duo T9500 z zegarem 2,6 GHz, a najwolniejszy układ to T8100 (2,1 GHz). Procesor X9000 i modele z serii T9000 dysponują pamięcią cache L2 o pojemności 6 MB, natomiast układy z serii T8000 oferują 3 megabajty – rdzenie Merom miały zaś 2 lub 4 MB tej pamięci. Zresztą podobnie jak Merom, także Penryn oferuje możliwość przetaktowania jednego z dwóch rdzeni o 200 MHz, jeśli tylko drugi rdzeń nie ma żadnego zajęcia. Do komunikacji z chipsetem Intel wykorzystuje szynę FSB800, tak więc Penryn jest zgodny z najnowszymi chipsetami Centrino generacji Santa Rosa (Mobile GM965 i PM965). Jednak z uwagi na zastosowanie zmodyfikowanej diody

termicznej nie wszystkie notebooki wyposażone w procesor Merom można przestawić na pracę z Penrynem.

Podczas pierwszych testów benchmarkowych stwierdzono wzrost wydajności procesorów Penryn w stosunku do układów Merom o 5 do 10 procent (przykładowo wartość benchmarku SPEC CPU2006 int_rate wzrosła z 27,5 do 29 punktów, przy częstotliwości 2,6 GHz), a w niektórych przypadkach było to nawet więcej niż 20 procent. Nie skorzystają na tym programy, których dane mieszczą się już w 4-megabajtowej pamięci cache Meroma lub których rozmiary znacznie przekraczają 6 megabajtów pamięci Penryna.

Ceny hurtowe procesorów Penryn mają być takie same jak układów Merom. Pojawili się już pierwsi producenci notebooków, którzy chcą montować Penryna w swoich urządzeniach. Na przykład Toshiba chce wyposażyć laptopy Satellite X205 (15,4 cala) i Satellite U305 (13,3 cala, 2,2 kg) w układy T8100, a model Qosmio G45 (17 cali, HD DVD) w procesor T9300.

Nazwa	Częstotliwość taktowania	Pamięć cache L2	Wskaźnik TDP	Cena hurtowa
X9000	2,8 GHz	6 MB	44 W	851 USD
T9500	2,6 GHz	6 MB	35 W	530 USD
T9300	2,5 GHz	6 MB	35 W	316 USD
T8300	2,4 GHz	3 MB	35 W	241 USD
T8100	2,1 GHz	3 MB	35 W	209 USD

(ach-pl)

Pierwsze chipy do notebooków wykonane w technologii 45nm

tagi: Sprzęt
11 stycznia 2008



Firma Intel Corporation zaprezentowała na targach Consumer Electronics Show w Las Vegas 16 innowacyjnych produktów, w tym pierwsze 45-nanometrowe procesory do laptopów.

Nowe układy zawierają tranzystory o nowoczesnej konstrukcji. Technologia 45 nm zapewnia zwiększenie szybkości pracy komputerów a także mniejsze zużycie prądu. Przyczynia się również do przedłużenia czasu pracy na bateriach, nie ma szkodliwego wpływu na środowisko i co najważniejsze pozwala tworzyć mniejsze procesory.

Wśród 16 nowych produktów zaprezentowanych na targach, aż 12 z nich przeznaczonych jest do laptopów i komputerów, 4 mają przeznaczenie serwerowe. Przedstawiciele firmy podkreślają, że produkty przyjazne są środowisku ponieważ są wolne od ołowiu i halogenu.

"Zaprezentowane dziś produkty pozwolą zaoferować klientom indywidualnym i firmom cieńsze i wydajniejsze laptopy oraz potężniejsze, bardziej stylowe komputery stacjonarne, które spełnią potrzeby najbardziej wymagających graczy, entuzjastów telewizji HD i niemal każdej innej kategorii konsumentów" - powiedział Mooly Eden, wiceprezes i dyrektor generalny grupy platform mobilnych w firmie Intel.

Opisywane procesory w technologii 45 nm będą wprowadzane na rynek od końca stycznia.

Warto przyjrzeć się najnowszemu procesorowi Intel Core 2 Duo.

Najważniejsze cechy:

- Technologia 45 nm z metalowymi bramkami hi-k dzięki którym osiągnięty został nowy poziom wydajności i energooszczędności
- HD Boost zapewniające wyższą wydajność w aplikacjach korzystających z multimediiów
- 6MB pamięci podręcznej drugiego poziomu
- Wyłączenie rdzenia procesora i pamięci podręcznej drugiego poziomu w celu mniejszego zużycia energii

Formuła 1 z technologią Intel 45nm w Poznaniu

czwartek, 29 listopada 2007, 16:00
źródło: **Komputer w Firmie**

BMW Sauber F1 Team oraz najnowszą technologię 45nm zaprezentował Intel w ostatni weekend, podczas Poznań Game Arena.

BMW Sauber + Intel Core 2 Extreme QX9770 3.2GHz + symulator

Podczas Poznań Game Arena, Intel po raz pierwszy zaprezentował najnowszą generację swoich procesorów czterordzeniowych, wykonanych w przełomowym procesie produkcyjnym 45nm. Dodatkowo wszyscy goście mieli okazję zobaczyć bolid Roberta Kubicy, kierowcy BMW Sauber F1 Team i wziąć udział w turniejach na symulatorach bolidów. Zainteresowanie było ogromne, zwłaszcza że Intel przygotował dla graczy komputery z procesorami 45nm Intel Core 2 Extreme QX9650 3.0GHz, na których można było zobaczyć najbardziej wymagające gry jak Crysis, Call of Duty 4: Modern Warfare i

World in Conflict. Prawdziwą gratką był pierwszy w Polsce przedpremierowy pokaz najszybszych na rynku procesorów 45nm Intel Core 2 Extreme QX9770 3.2GHz.

Komputronik

i

Intel

Dodatkowo goście Intela mieli okazję poczuć klimat Formuły 1 i wsiąść do symulatorów bolidów BMW Sauber F1 Team. Symulatory te napędzane są komputerami Ultimate Racing PC wyprodukowanymi przez firmę Komputronik, w limitowanej serii dedykowanej Robertowi Kubicy. Korzystając z okazji Komputronik poinformował o sukcesie komercyjnym tego wyjątkowego na rynku komputera. Ultimate Racing PC był wspólnym przedsięwzięciem Intel i Komputronik. Ta limitowana seria komputerów powstała w ilości 100 sztuk i każda opatrzona została indywidualnym numerem serii oraz certyfikatem. Obecnie pozostało już ostatnie kilka egzemplarzy tej wyjątkowej pod każdym względem konstrukcji.

Procesor

za

otwarcie

sejfu!

I na koniec jeszcze niespodzianka! Każdy, kto otrzymał ulotkę na stoisku Intela mógł spróbować otworzyć sejf. Udało się to czterem zwycięzcom, którzy znaleźli w sejfie procesory Intel Core 2 Quad Q6600 - 2.4GHz - rewelacyjnie podkreślające się i nadal niepokonane procesory czterordzeniowe!

Intel

z

BMW

Współpraca **Intel Corporation z BMW Group** rozpoczęła się w grudniu 2005 roku i od tamtej pory innowacyjne technologie Intela wspierają zespół BMW Sauber F1 Team. Tuż przed sezonem 2007 Intel i BMW Sauber F1 Team uruchomiły superkomputer Albert2 wyposażony w 512 dwurdzeniowych procesorów Intel Xeon. Maszyna ta wykorzystywana jest do symulacji charakterystyki aerodynamicznej bolidów BMW Sauber F1, co pozwala lepiej przygotować je do wyścigów.

Komputronik

Komputronik S.A. jest jedną z czołowych firm zajmujących się dystrybucją sprzętu komputerowego w Polsce. Plasuje się na czołowych miejscach rankingów najszybciej rozwijających się firm branży IT w Polsce. Oferta jest precyzyjnie dostosowywana do potrzeb zarówno klientów hurtowych, jak również do klientów detalicznych, których obsługuje przez sieć ponad 50 salonów w całym kraju oraz poprzez wielokrotnie nagradzany sklep internetowy www.komputronik.pl. Firma zajmuje się produkcją i serwisem komputerów własnej marki - Komputronik SENSIO, Komputronik INFINITY oraz Komputronik PRO. 1 lipca 2005r. powstał podmiot Komputronik Biznes - oferuje kompleksową obsługę w zakresie informatyzacji przedsiębiorstw, opartą na wysokich kwalifikacjach i połączonym k now-how z dziedziny sprzętu i oprogramowania.

Procesory Intel Core 2 Extreme oraz Xeon

14.11.2007, 01:32

Procesory Intel Core 2 Extreme oraz Xeon

Firma Intel Corporation wprowadziła na rynek 16 procesorów do serwerów i zaawansowanych komputerów PC - Intel Core 2 Extreme oraz Xeon. Nowe procesory, oparte na technologii 45 nm, są zgodne z platformami serwerowymi używającymi rodziny chipsetów Intel 5000 oraz zostały wyposażone w 47 nowych instrukcji SSE4.

Nowe produkty Intela używają metalowych bramek opartych na hafnie, o wysokiej stałej dielektrycznej (high-k) w setkach milionach tranzystorów składających się na procesor. Nowe procesory Intel Core 2 Extreme oraz Xeon są wytwarzane w 45-nanometrowym procesie produkcyjnym oraz cechują się gęstością tranzystorów wynoszącą 410 milionów w procesorach dwurdzeniowych i 820 milionów w procesorach

czterordzeniowych.

Nowy procesor czterordzeniowy Intel Core 2 Extreme QX9650 przeznaczony do komputerów biurkowych, posiada szerszą pamięć podręczną L2 oraz obsługuje instrukcje multimedialne Intel SSE4. Natomiast na serię procesorów Intel Xeon przeznaczonych do serwerów, składa się 12 układów czterordzeniowych, które są taktowane zegarem od 2 GHz do 3,20 GHz, z magistralą FSB 1600 MHz i pamięcią podręczną 12 MB oraz trzy układy dwurdzeniowe taktowane zegarem do 3,40 GHz, z magistralą FSB 1600 MHz i pamięcią podręczną 6 MB.

Procesory Intel Xeon są zgodne z platformami serwerowymi używającymi rodziny chipsetów Intel 5000. Ponadto Intel wprowadził trzy nowe platformy obsługujące procesory 45-nanometrowe, w tym:

- Platformę opartą na chipsecie Intel 5400 (poprzednio określaną nazwą kodową „Stoakley”) do zastosowań wymagających dużej przepustowości, takich jak przetwarzanie wysokowydajne (High Performance Computing, HPC).
- Platformy oparte na chipsecie Intel 5100 Memory Controller Hub oraz kontrolerze Intel ICH-9R I/O (poprzednio znane jako „Cranberry Lake”), obsługujące jeden lub dwa procesory i mające zapewnić zmniejszony pobór mocy przez pamięć DDR2.
- Platformę opartą na chipsecie Intel 3200 (poprzednio znaną jako „Garlow”), która została przeznaczona dla jednoprocessorowych serwerów klasy podstawowej. Zapewnia ona obsługę pamięci DDR2 i tańszych procesorów.

Nowe procesory oferują też dodatkowe funkcje, takie jak dodanie 47 nowych instrukcji SSE4 (Intel Streaming SIMD Extensions 4), które przyspieszają takie zadania, jak kodowanie wideo i obróbka zdjęć, a także aplikacje HPC i korporacyjne. Dodatkowe funkcje to m.in.:

- Technologia Intel Virtualization - Przejścia maszyn wirtualnych (wejście-wyjście) zostały przyspieszone średnio od 25 do 75 procent. Ponieważ osiągnięto to przez ulepszenie sprzętu, nie są wymagane modyfikacje oprogramowania.
- Dzielenie liczb – Moduł dzielący podwaja szybkość obliczeń używanych w szeregu aplikacji. Osiągnięto to dzięki technice dzielenia nazywanej Radix 16.
- Mechanizm Super Shuffle - Zastosowanie 128-bitowej jednostki do pozycjonowania danych zwiększa wydajność instrukcji SSE2, SSE3 i SSE4 wykonujących operacje pozycjonowania.

Ceny nowych, 45 nm procesorów Intel Xeon zależą od modelu, szybkości, funkcji oraz wielkości zamówienia i wahają się od 177 do 1279 dolarów w partiach po 1000 sztuk. Czterordzeniowy procesor Intel Core 2 Extreme QX9650 kosztuje 999 dolarów w partiach po 1000 sztuk.

Procesory Intel 45nm z fabryki Fab 32

26.10.2007, 12:54

Procesory Intel 45nm z fabryki Fab 32

Firma Intel otworzyła w mieście Chandler w stanie Arizona pierwszą fabrykę przystosowaną do produkcji na wielką skalę mikroprocesorów w procesie 45 nanometrów (nm). W fabryce

wytwarzane są procesory do komputerów PC, laptopów, serwerów i innych urządzeń obliczeniowych.

Nowy zakład określany jest w skrócie jako „Fab 32”, a jego budowa kosztowała 3 miliardy dolarów. Jest w nim wykorzystywany proces technologiczny 45nm polegający na wytwarzaniu 45-nanometrowych tranzystorów, których materiał izolacyjny metalowej bramki wykonany jest z materiału hi-k bazującego na hafnie. Tranzystory te później tworzą procesory Intela przeznaczone do komputerów stacjonarnych, laptopów i serwerów, a także układy do przenośnych urządzeń internetowych i konsumenckich oraz tanich pecetów.

Fab 32 to szósta fabryka Intela produkująca z wafli krzemowych 300 mm i druga stosująca proces 45nm. Intel w styczniu 2007 roku rozpoczął produkcję procesorów 45nm w swojej fabryce w Oregonie, znanej pod nazwą D1D. Obecnie przestawia się na produkcję wielkoskalową, otwierając zakłady Fab 32. Dwie podobne fabryki (45nm, 300mm) powinny zostać uruchomione w przyszłym roku w Kiryat Gat w Izraelu (Fab 28) i Rio Rancho w Nowym Meksyku (Fab 11x).

Pomieszczenia typu „clean room” w nowej fabryce mają powierzchnię 17 tys. metrów kwadratowych, a całkowita powierzchnia zakładu to 93 tys. metrów kwadratowych. Do obsługi fabryki zatrudnionych zostanie ponad 1000 pracowników, m.in. inżynierów procesu, automatyzacji i wydajności, a także starszych techników produkcyjnych.

Technologia 45 nm wkracza do CPU

24 stycznia 2007 10:41

Janusz Chustecki

Paul Otellini (dyrektor wykonawczy Intela) poinformował, że firma podjęła już produkcję swojego pierwszego procesora opartego na technologii 45 nanometrów. Jest to jeszcze niewielka produkcja, ale Otellini zapewnia, że już latem br. będzie ją można liczyć w milionach sztuk.

Układ o roboczej nazwie Penryn ma nową geometrię i jest oparty na podobnej (ale nieco udoskonalonej) architekturze co procesory Core 2 Duo. Specjaliści sądzą, że Penryn będzie w 2008 r. podstawowym procesorem Intela, produkowanym na bardzo dużą skalę, przewyższającą produkcję innych intelowskich układów CPU.

Układ będzie dostępny w kilku wersjach, zaprojektowanych z myślą o instalowaniu w pecetach, serwerach i notebookach. Intel informuje, że Penryn pobiera niewiele prądu (nie podając tu żadnych szczegółów) i wspiera dodatkowe instrukcje multimedialne czwartej generacji (SSE4; Streaming SIMD Extensions 4). Skrót SIMD pochodzi od słów Single Instruction Multiple Data.

Intel będzie oferować dwurdzeniowe i czterordzeniowe wersje układu Penryn, noszące odpowiednio nazwy kodowe Wolfdale i Yorkfield. Mówi się też o ośmiordzeniowej wersji tego układu. Jednak Intel ani nie zaprzecza, ani nie potwierdza tej informacji, mówiąc tylko, że jest jeszcze za wcześnie, aby podawać oficjalnie taką informację.

Technologia wytwarzania Intel® w procesie 45 nm oparta na pierwiastku hafn (Hf)

Można to określić dwoma słowami: bezkompromisowa innowacja. Dzięki zupełnie nowym materiałom, w tym zespołom obwodów elektrycznych opartych na pierwiastku hafn (Hf), nowa technologia krzemowa Intel® 45nm z bramką typu Hi-k metal, zwiększająca w znaczny sposób energooszczędność i wydajność, zapowiada niespotykane dotąd możliwości korzystania z komputerów.

W oparciu o przełomową technologię tranzystorową wszystkie chipy Intel 45 nm Hi-k wykorzystujące hafn wniosą wiele poważnych korzyści. Nowe procesory w tej technologii wprowadzają rewolucyjne zmiany w korzystaniu z komputerów w przypadku gier, multimedii i wielozadaniowości – w pracy, domu i rekreacji.

Pięć nowych platform do końca 2010 roku

AMD ujawnia plany wdrożenia technologii 45 nm i 32 nm

Tagi: 32 nm, 45 nm, amd, caspian, champlain, conesus, danube, geneva, huron, nile, procesory, tigris
 Procesory - 15.11.2008
 Autor: Marcin Chmielewski
 Liczba wyświetleń: 1786

Co najmniej cztery nowe platformy AMD, oparte na technologii 45 nanometrów pojawią się na rynku do 2010 roku. Kalifornijska firma planuje także wdrożenie procesu 32 nm.

AMD Notebook Platform Roadmap				
Segment	2008	2009	2010	
Mainstream	Desktop Single-core	"Puma" "Griffin" CPU 2 CPU Cores RS780M + SB700 S1g2	"Tigris" "Caspian" CPU 2 CPU Cores RS880M + SB710 S1g3	"Danube" "Champlain" CPU 4 CPU Cores S1g3
	Thin & Light			
Ultraportable		"Congo" "Conesus", 2 CPU Core RS780M+SB710 BGA	"Nile" "Geneva" CPU 2 CPU Core BGA	
Mininotebook		"Yukon" "Huron", 1 CPU Core RS690E+SB600 BGA		

Główny rywal AMD - Intel - wdroży technologię 32 nm jeszcze w 2009 roku, wraz z procesorami Westmere

<< >>

Ułożmy zatem wszystko chronologicznie. W 2009 roku AMD wprowadzi na rynek dwa procesory wytworzone w technologii 45 nm, przeznaczone dla segmentu netbooków. Dwurdzeniowy układ BGA o nazwie kodowej Conesus, posiadał będzie 1 MB pamięci L2, współpracował będzie z pamięciami DDR2, zaś pobierać ma mniej, niż 25 W mocy. Huron natomiast to układ BGA z jednym rdzeniem, o którym nic więcej niestety nie

wiemy. Ten pierwszy będzie częścią platformy Congo (wraz z mostkami RS780M oraz SB710), natomiast drugi, wraz z mostkami RS690E i SB600, utworzy platformę Yukon.

Nazwa kodowa Tigris kryje mobilną platformę, która również ukaże się w roku 2009 i przeznaczona będzie dla notebooków. Dwurdzeniowe procesory Caspian, wykonane w technologii 45 nanometrów, będą tu skompletowane z mostkami RS880M oraz SB710.

W roku 2010 pojawi się nowa platforma o nazwie kodowej Nile, która podobnie jak Congo i Yukon, skierowana będzie na segment ultramobilnych komputerów

. W jej skład wchodzi dwurdzeniowe procesory Geneva, wykonane oczywiście w procesie 45 nm.

Firma

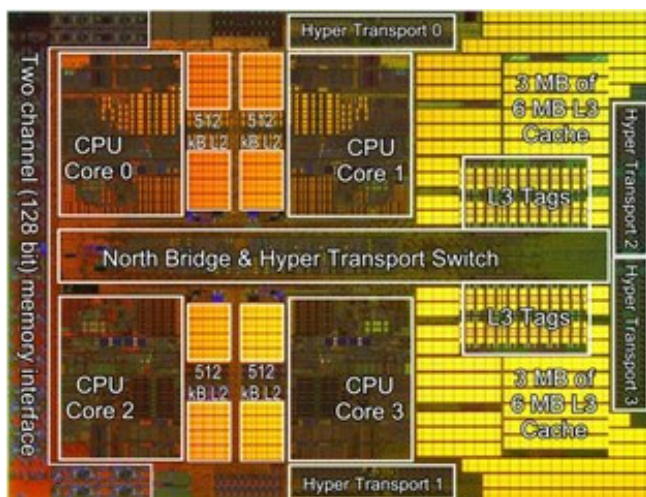
z Sunnyvale przygotowuje również na rok 2010 platformę Danube, w której prym będą wiodły pierwsze czterordzeniowe procesory AMD o nazwie kodowej Champlain, wykonane w technologii 45 nm i przeznaczone dla notebooków. Układy będą posiadały 2 MB podręcznej pamięci cache i współpracowały będą z pamięciami DDR3.

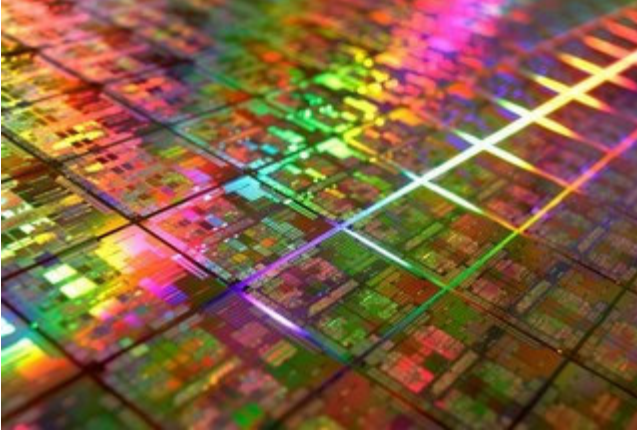
Na koniec zostaje nam technologia 32 nanometrów i platforma Ontario, która oprócz procesora, zawierała będzie zintegrowany układ graficzny. To jednak dopiero pod koniec 2010 roku, lub na początku 2011.

Dziewięć nowych procesorów AMD

Shanghai, czyli Opteron w technologii 45 nm

Shanghai to kodowa nazwa nowych czterordzeniowych procesorów Opteron, wykonanych w 45-nanometrowym procesie technologicznym. Rewolucji jednak nie ma...





Shanghai nie jest nową architekturą. To odświeżona "Barcelona"

« »

Nowe procesory Opteron, oparte na architekturze Shanghai już trafiają do sklepów

« »

Firma Advanced Micro Devices oficjalnie wprowadza na rynek nowe procesory z rodziny

Opteron, oparte na architekturze Shanghai i przeznaczone oczywiście na segment serwerów. Według AMD, procesory Shanghai są o 35 procent szybsze, niż ich pierwsze czterordzeniowce "Barcelona", przy czym pobierają tyle samo mocy. Umożliwił to oczywiście skok

do technologii 45 nanometrów, bowiem architektura Barcelona oparta jest na 65-nanometrowym procesie technologicznym.

Nowe układy wciąż wykorzystują gniazdo Socket F (1207) i korzystają z szeregu technologii - HyperTransport, która zapewnia

efektywne wykorzystanie pamięci systemowej oraz CoolCore, która pozwala wyłączyć część procesora, co skutkuje mniejszym poborem mocy. Procesory Shanghai posiadają ponadto zintegrowany kontroler pamięci DDR2, 6 MB podręcznej pamięci L3 oraz zegary od 2,3 do 2,7 GHz.

To pierwsza fala nowych, energooszczędnych Opteronów. Kolejna, planowana na pierwszy kwartał 2009 roku ma zawierać modele AMD Opteron HE z TDP równym 55 W oraz modele Opteron SE z maksymalną pobieraną mocą 105 W.

Model	TDP	Specyfikacja	Cena hurtowa
8384	75W	2.7 GHz, 6MB L3 cache, 2 GT/s HT	ponad 6 500 zł
8382	75W	2.6 GHz, 6MB L3 cache, 2 GT/s HT	ponad 5 500 zł
8380	75W	2.5 GHz, 6MB L3 cache, 2 GT/s HT	ponad 4 500 zł
8378	75W	2.4 GHz, 6MB L3 cache, 2 GT/s HT	ponad 3 500 zł
2384	75W	2.7 GHz, 6MB L3 cache, 2 GT/s HT	ponad 3 000 zł
2382	75W	2.6 GHz, 6MB L3 cache, 2 GT/s HT	ponad 2 600 zł
2380	75W	2.5 GHz, 6MB L3 cache, 2 GT/s HT	ponad 2 100 zł
2378	75W	2.4 GHz, 6MB L3 cache, 2 GT/s HT	ponad 1 600 zł
2376	75W	2.3 GHz, 6MB L3 cache, 2 GT/s HT	ponad 1 100 zł

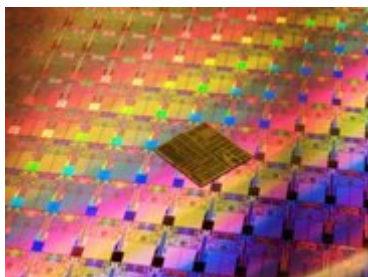
Premiera Intelu w technologii 45 nanometrów

Cezary Tchorek-Helm

2007-11-12, ostatnia aktualizacja 2007-11-14 11:39



Szesnaście przyjaznych dla środowiska, szybszych i "chłodniejszych" układów zawiera 45-nanometrowe, oparte na hafnie tranzystory z metalową bramką o wysokiej stałej dielektrycznej. Intel Corporation wprowadza na rynek 16 procesorów do serwerów i zaawansowanych komputerów PC. Procesory te ograniczają zużycie energii i są całkowicie pozbawione ołowiu, a od roku 2008 nie będą zawierać związków halogenowych.



Stary procesor Pentium na tle najnowszych układów Intelu

45

nanometrów

Nowe produkty - nazwane przez współzałożyciela Intel Corporation Gordona Moore'a - jednym z największych przełomów w technologii tranzystorowej ostatnich 40 lat, jako pierwsze używają opartych na hafnie, metalowych bramek o wysokiej stałej dielektrycznej (high-k) w setkach milionach tranzystorów składających się na procesor. Nowe procesory Intel Core 2 Extreme oraz Xeon są również pierwszymi, które będą wytwarzane w 45-nanometrowym procesie produkcyjnym, co jeszcze bardziej zwiększy wydajność i obniży pobór mocy. Połączenie tych dwóch innowacji z dodatkowymi funkcjami procesorów pozwoli Intelowi nadal dostarczać coraz szybsze, bardziej energooszczędne i mniej szkodliwe dla środowiska procesory. Intel będzie mógł również projektować produkty niemal o jedną trzecią mniejsze, a

przez to bardziej ekonomiczne od poprzednich wersji - a w przyszłym roku zastosować produkty typu "system w jednym układzie" w nowych urządzeniach ultramobilnych i w elektronice użytkowej.

"Intelekt, fizyka i prace projektowe, które złożyły się na rozwiązanie jednego z najpoważniejszych problemów branży, budzą zarazem respekt i pokorę - powiedział Paul Otellini, prezes i dyrektor generalny Intela. - Co najlepsze, w połączeniu z postęпами w obróbce krzemu pozwoli to produkować szybsze i mniejsze komputery, wydłużyć czas pracy na bateriach i ograniczyć zużycie energii, a wkrótce zaoferować klientom zupełnie nową klasę urządzeń cyfrowych" dodał Otellini.

Nowy procesor czterordzeniowy

Nowe procesory 45 nm (nanometr jest miliardową częścią metra), cechują się niemal dwukrotnie większą gęstością tranzystorów niż poprzednie układy Intela wytwarzane w technologii 65 nm - jest to 410 milionów tranzystorów w procesorach dwurdzeniowych i 820 milionów w procesorach czterordzeniowych. Nowy procesor czterordzeniowy Intel Core 2 Extreme QX9650 - pierwszy na świecie procesor 45-nanometrowy do komputerów biurowych - zapewnia jeszcze więcej adrenaliny graczom i entuzjastom multimedii. Usprawnienia takie jak większa pamięć podręczna L2 oraz obsługa nowych instrukcji multimedialnych Intel SSE4 pomaga zwiększyć wydajność komputera do zupełnie nowego, "ekstremalnego" poziomu.

45 nanometrowe procesory serwerowe; światowy rekord prędkości

Intel wprowadza do sprzedaży 15 nowych dwu- i cztero-rdzeniowych procesorów Intel Xeon do serwerów. 12 nowych układów czterordzeniowych jest taktowanych zegarem od 2 GHz do 3,20 GHz, z magistralą FSB 1600 MHz i pamięcią podręczną 12 MB. Trzy kolejne układy dwurdzeniowe są taktowane zegarem do 3,40 GHz, z magistralą FSB 1600 MHz i pamięcią podręczną 6 MB.

Procesory Intel Xeon są zgodne z platformami serwerowymi używającymi rodziny chipsetów Intel 5000. Ponadto Intel wprowadza trzy nowe platformy obsługujące procesory 45-nanometrowe, w tym:

Platformę opartą na chipsecie Intel 5400 (poprzednio określaną nazwą kodową „Stoakley”) i zoptymalizowaną pod kątem zastosowań wymagających dużej przepustowości, takich jak przetwarzanie wysokowydajne (High Performance Computing - HPC).

Platformy oparte na chipsecie Intel 5100 Memory Controller Hub oraz kontrolerze Intel ICH-9R I/O (poprzednio znane jako „Cranberry Lake”). Są to rozwiązania optymalizowane pod kątem kosztów, które obsługują jeden lub dwa procesory i zapewniają zmniejszony pobór mocy przez pamięć DDR2.

Platformę opartą na chipsecie Intel 3200 (poprzednio znaną jako „Garlow”), która została zaprojektowana specjalnie pod kątem jednoprosesorowych serwerów klasy podstawowej. Zapewnia ona obsługę pamięci DDR2 i tańszych procesorów oraz obniżony pobór mocy.

Moc daje nowe funkcje

Przejście z technologii 65- na 45-nanometrową to nie tylko zmniejszenie rozmiarów układów. Nowe procesory oferują też dodatkowe funkcje, takie jak nowe instrukcje SSE4 (Intel Streaming SIMD Extensions 4). Dodanie 47 nowych instrukcji SSE4 przyspiesza takie zadania, jak kodowanie wideo i obróbka zdjęć, a także kluczowe aplikacje HPC i korporacyjne. Producenci oprogramowania, wspierający obsługę SSE4 to m.in. Adobe*, Microsoft* i Symantec*.

Dodatkowe funkcje to m.in.:

Ulepszona technologia Intel Virtualization - przejścia maszyn wirtualnych (wejście-wyjście) zostały przyspieszone średnio o 25 do 75 procent.

Szybkie dzielenie liczb - nowy, szybki moduł dzielący niemal podwaja szybkość obliczeń używanych w niemal wszystkich aplikacjach. Osiągnięto to dzięki nowej, szybszej technice dzielenia nazywanej Radix 16.

Unikatowy mechanizm Super Shuffle - dzięki zastosowaniu szerszej, 128-bitowej jednostki do pozycjonowania danych znacznie wzrasta wydajność instrukcji SSE2, SSE3 i SSE4 wykonujących operacje pozycjonowania.

Ceny i dostępność

Ceny nowych, 45 nm procesorów Intel Xeon zależą od modelu, szybkości, funkcji oraz wielkości zamówienia i wahają się od 177 do 1279 dolarów w partiach po 1000 sztuk. Czterordzeniowy procesor Intel Core 2 Extreme QX9650 kosztuje 999 dolarów w partiach po 1000 sztuk. W zależności od modelu, niektóre nowe procesory będą dostępne od dzisiaj, a wszystkie przed upływem 45 dni.

Intel: pierwszy układ 45 nm

27.01.2006, 12:43

Intel zaprezentował pierwsze w pełni funkcjonalne układy pamięci SRAM (Static Random Access Memory) wykonane w procesie technologicznym 45 nanometrów. Układy w technologii 45 nm z wykorzystaniem 300 milimetrowych wafli krzemowych mają trafić do klientów końcowych już w drugiej połowie 2007 roku.

Wg przedstawicieli Intelu zastosowanie procesu technologicznego 45 nm zapewni ma przyszłym układom ponad pięciokrotną redukcję upływu prądu w porównaniu z obecnie wytwarzanymi układami. Dzięki temu możliwe ma być wydłużenie czasu pracy urządzeń mobilnych na baterii oraz tworzenie wydajniejszych i mniejszych platform.

„Nasza technologia 45 nm będzie fundamentem, na którym powstaną komputery charakteryzujące się większą wydajnością na wát, co przyniesie użytkownikom dodatkowe korzyści” – powiedział Bill Holt, wiceprezes i dyrektor generalny Intel Technology and Manufacturing Group.

Zaprezentowane 45-nanometrowe układy SRAM posiadają ponad miliard tranzystorów.

Wstępne prace związane z wdrożeniem procesu technologicznego 45 nm są obecnie prowadzone w zakładzie D1D w Oregonie. Intel poinformował również o planach uruchomienia dwóch fabryk produkujących na masową skalę układy w procesie technologicznym 45nm w Arizonie (Fab 32) oraz w Izraelu (Fab 28).